

# ZB32L030

## ARM® Cortex®-M0+ 32bit Micro-Controller Datasheet

Version R2.8.6

2024/5/07

## 产品特性

### ■ ARM® Cortex®-M0+ 内核

- 64K字节嵌入式Flash, 具有擦写保护功能
- 8K字节SRAM
- 最高运行到24MHz
- 一个24位系统定时器
- 支持低功耗睡眠模式
- 内建单周期32位硬件乘法器
- 8us 唤醒时间@Fcpu=24Mhz

### ■ 工作条件

- 宽电压工作范围2.5V至5.5V
- 宽工作频率最高至24MHz
- 工作温度: -40° C至+85° C

### ■ 时钟源

#### ◇ 4路可选时钟源

- 外部4MHz~24MHz高速晶振
- 外部32.768KHz晶振
- 内部4MHz~24MHz高速时钟
- 内部低速38.4KHz/32.768KHz时钟
- 支持硬件时钟监视

#### ◇ RTC

- 支持RTC计数(秒/分/小时)及万年历功能(日/月/年)
- 支持闹铃功能寄存器(秒/分/小时/日/月/年)
- 支持RTC从Deep Sleep模式唤醒系统

### ■ 电源管理

- POR,PDR,LVR
- 两种低功耗工作模式: Sleep、Deep Sleep Mode
- 低电压检测, 可配置为中断或复位
- 唤醒@sleep: 所有中断源都可唤醒
- 唤醒@Deep sleep: 所有GPIO PIN与RTC(低速时钟工作)

### ■ 中断

- 嵌套向量中断控制器(NVIC)用于控制32个中断源, 每个中断源可设置为4个优先级
- 支持串行调试(SWD)带2个观察点/4个断点

### ■ 通用I/O引脚

- 在48-Pin封装下39个I/O

### ■ 内置ISP Bootloader

- 支持通过UART 进行程序升级

### ■ 定时器/计数器

- 通用定时器: 4x16 bits
- 高级定时器: 3x16 bits, 1x24bits(SysTick)
- 可编程的计数器: 1x16 bits
- 看门狗计数器: WWDTx1, IWD Tx1
- 基础定时器: 2x16bits
- 低功耗定时器: 1x16bits

### ■ 蜂鸣器频率发生器

- 可产生5个1KHz, 2KHz, 4KHz的蜂鸣信号

### ■ 通信接口

- UART0,1,2,3标准通讯接口
- 支持低速时钟的超低功耗LPUART
- SPIX2 标准通讯接口, 最高达12Mbps
- I2CX2标准通讯接口, 主模式最高支持1Mbps, 从模式最高支持800Kbps
- One-Wire通讯接口

### ■ ADC

- 12位1Msps采样速率, 12位SAR型ADC
- 22通道: 17路的外部引脚, 2路的OPA 输出, 1路的VCAP,1路的BGR 1.2V,1路的DAC
- 外部参考电压: VDD,GPIO(PB01) PIN
- 内置参考电压: 2.5V

### ■ PWM

- 支持最多3个互补式输出

### ■ DAC(6-bits)X2

### ■ 运算放大器(OPA)X2

### ■ 电压比较器(VCX2) / 低电压检测器(LVD)

### ■ 硬件CRC-16模块

### ■ 16字节(128位)的芯片唯一ID (UID)

### ■ 开发工具

- SWD全功能的嵌入式调试解决方案

### ■ 封装形式: TSSOP28, QFN32, LQFP32/48

## 目录

产品特性 .....	2
目录 .....	3
图索引 .....	5
表索引 .....	6
<b>【1】 简介 .....</b>	<b>7</b>
<b>【2】 描述 .....</b>	<b>8</b>
2.1 设备概述 .....	8
2.2 内部框图结构 .....	9
2.3 引脚定义 .....	10
2.4 引脚功能配置 .....	13
2.5 复用引脚功能说明 .....	16
2.6 模块与引脚信号说明 .....	19
2.7 串行接口说明 .....	21
<b>【3】 存储器映像 .....</b>	<b>22</b>
<b>【4】 典型应用线路图 .....</b>	<b>23</b>
<b>【5】 电气特性 .....</b>	<b>24</b>
5.1 测试条件 .....	24
5.1-1 最小和最大数值 .....	24
5.1-2 典型数值 .....	24
5.2 绝对最大额定值 .....	25
5.3 工作条件 .....	26
5.3-1 通用工作条件 .....	26
5.3-2 上电和掉电时的工作条件 .....	26
5.3-3 内嵌复位和 LVD 模块特性 .....	27
5.3-4 内置的参考电压 .....	28
5.3-5 供电电流特性 .....	29
5.3-6 从低功耗模式唤醒的时间 .....	31
5.3-7 外部时钟源特性 .....	32
5.3-8 内部时钟源特性 .....	34
5.3-9 Flash 特性 .....	35
5.3-10 电磁敏感特性 .....	35
5.3-11 I/O Port 特性 .....	36
5.3-12 ADC 特性 .....	39

5.3-13 VC 特性 .....	41
5.3-14 OPA 特性 .....	42
5.3-15 TIM 定时器特性 .....	46
5.3-16 通信接口 .....	47
<b>【6】 封装特性 .....</b>	<b>50</b>
6.1 TSSOP28 封装 .....	50
6.2 QFN32 封装 .....	51
6.3 LQFP32 封装 .....	52
6.5 丝印说明 .....	54
6.5-1 TSSOP28 .....	54
6.5-2 QFN32 .....	54
6.5-3 LQFP32 .....	55
6.5-3 LQFP48 .....	55
<b>【7】 型号命名 .....</b>	<b>56</b>
<b>【8】 产品选型表 .....</b>	<b>57</b>
<b>【9】 版本修订纪录 .....</b>	<b>58</b>

## 图索引

Figure 1 Block Diagram .....	9
Figure 2 ZB32L030 LQFP48.....	10
Figure 3 ZB32L030 LQFP32/QFN32.....	11
Figure 4 ZB32L030 TSSOP28.....	12
Figure 5 存储器映像图 .....	22
Figure 6 典型应用线路图 .....	23
Figure 7 I2C 时序图 .....	47
Figure 8 SPI 时序图（主机模式） .....	49
Figure 9 SPI 时序图（从机模式 CPHA=0） .....	49
Figure 10 SPI 时序图（从机模式 CPHA=1） .....	49

## 表索引

Table 1	ZB32L030 芯片特性与周边配套 .....	8
Table 2	引脚功能说明表 .....	15
Table 3	选择芯片引脚表 .....	18
Table 4	模块与引脚信号说明表 .....	20
Table 5	串行接口说明表 .....	21

## 【1】 简介

**ZB32L030** 是一款内嵌 32 位 ARM® Cortex®-M0+ 内核的超低功耗和宽电压工作范围 (2.5V~5.5V) 的微控制器，最高可运行在 24MHz，内置 64K 字节的嵌入式 Flash，8K 字节的 SRAM 和集成了 12 位 1Msps 高精度 SAR 型 ADC(16 channel)、DAC(6-bits)、OPAx2、RTC、比较器x2、UARTx4、LPUART、SPIx2、I2Cx2 和 PWMx (多路独立输出或互补式输出) 等丰富的外设接口，具有高整合度、高抗干扰、高可靠性的特点。

**ZB32L030** 系列具有宽电压工作范围、低功耗、低待机电流、高集成度外设、高操作效率、快速唤醒及高性价比等优势，广泛适用于下列应用：

小家电、充电器、遥控器、电子烟、燃气报警器、数显表、温控器、记录仪、电机驱动、智能门锁、智能传感器、智能家居以及智慧城市等。

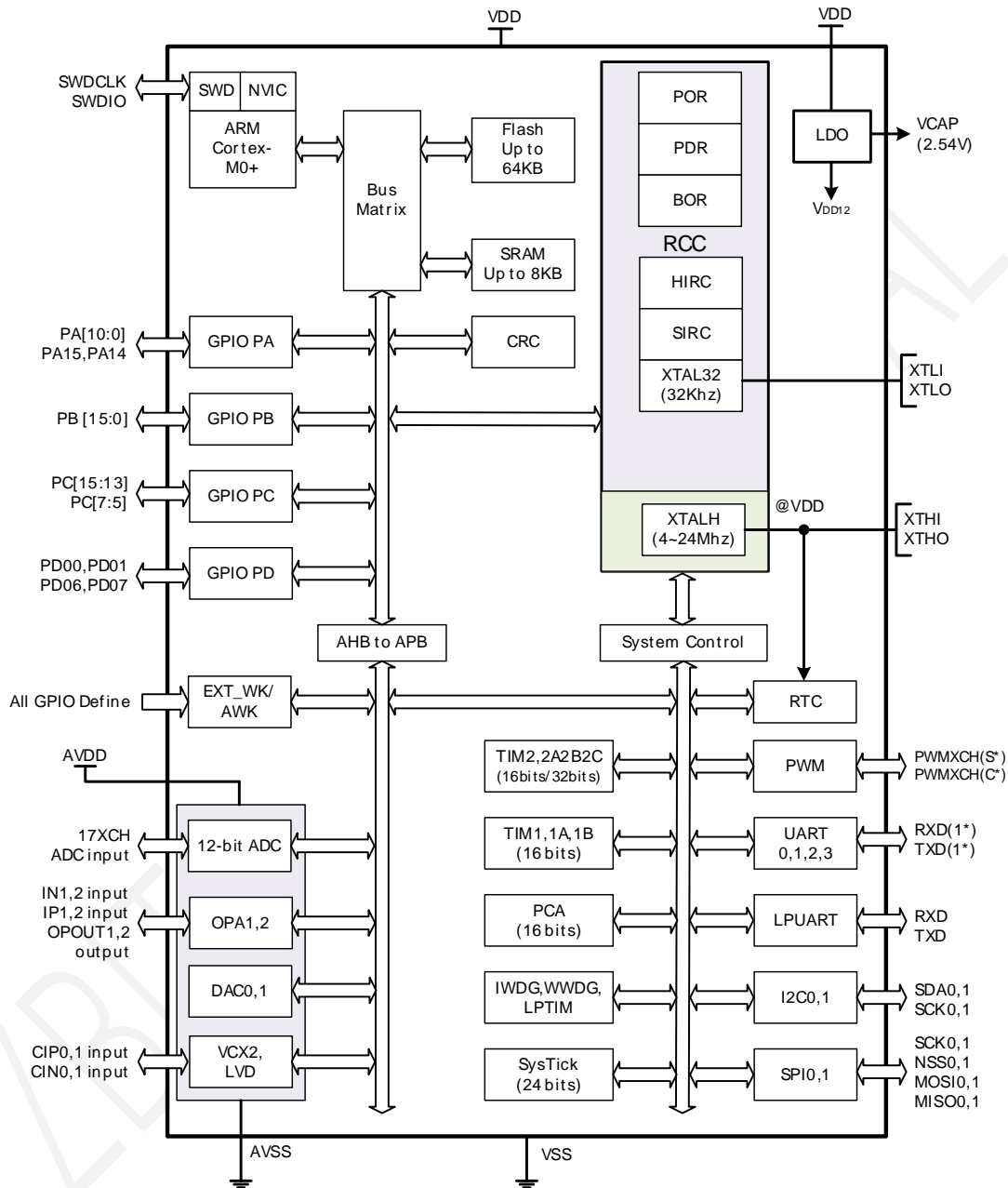
## 【2】 描述

### 2.1 设备概述

		ZB32L030XXX	ZB32L030XXX	ZB32L030XXX
引脚数		48	32	28
GPIO		39	25	22
MCU	内核	Cortex M0+		
	频率	24Mhz		
Flash		64K Bytes		
SRAM		8K Bytes		
Timer	基础 (16-bits)	2x16 bits(T10,T11) / 2x32 bits		
	通用(16-bits)	4 (T2,T2A,T2B,T2C)		
	高级(16 bits)	3 (T1,T1A,T1B)		
	PCA(16 bits)	1		
	SysTick(24 bits)	1		
	省电(LPTIMER)	1		
RTC/SYSTICK/IWDG/WWDG		1/1/1/1		
AWK		1		
工作电压范围		2.5~5.5V		
工作温度		-40~85 ℃		
调试功能		SWD		
唯一标识符		16 Bytes		
通信 界面	UART	4	2	2
	LPUART	1	1	0
	SPI	2(16/20Mhz)	1(16/20Mhz)	1((16/20Mhz)
	I2C	2	2	2
比较器		2	2	2
时钟	内部高速晶振	HIRC : 4/8/16/22.12/24MHz		
	内部低速晶振	SIRC : 32.768/38.4KHz		
	外部高速晶振	HXT : 4M~24MHz		
	外部低速晶振	LXT : 32.768KHz		
12 Bits A/D		17 CH	12 CH	11 CH
OPAx2		2	2	0
蜂鸣器		1		
封装		LQFP48	LQFP32/QFN32	TSSOP28

Table 1 ZB32L030 芯片特性与周边配套

## 2.2 内部框图结构



**Figure 1 Block Diagram**

Note : S\* : Maximum channels for Single output

C\* : Maximum channels for complement output

1\* : is UART0, UART1, UART2, UART3

## 2.3 引脚定义

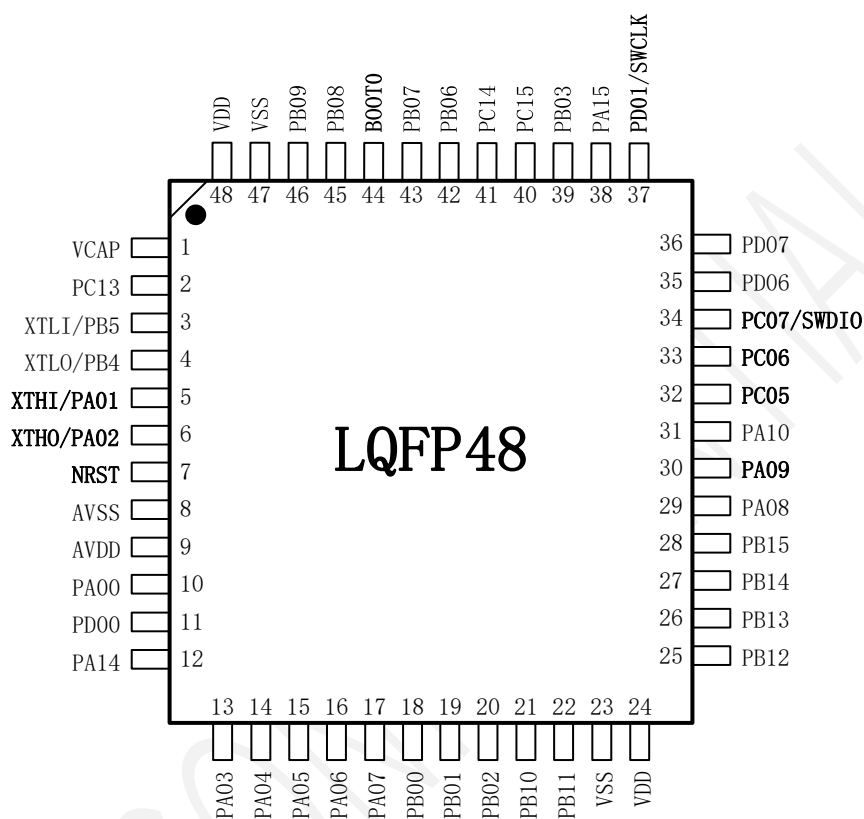


Figure 2 ZB32L030 LQFP48

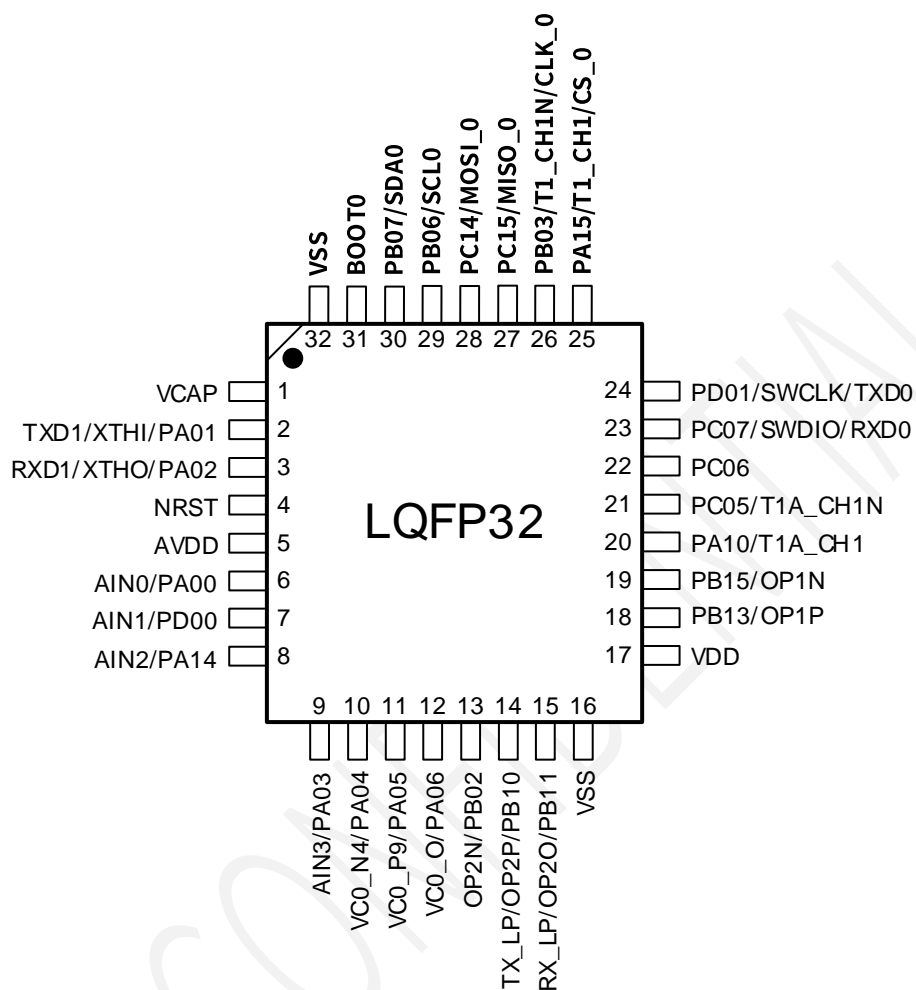


Figure 3 ZB32L030 LQFP32/QFN32

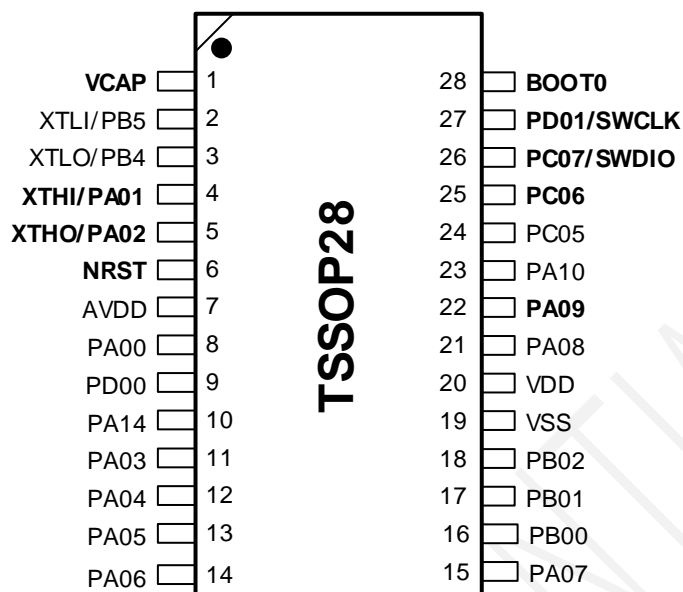


Figure 4 ZB32L030 TSSOP28

## 2.4 引脚功能配置

Pin Num			Pin Name	Power WKUP XTAL ISP	UARTx4 LPUART	SPIx2 I2Cx2	TIM2 PCA LPTIM	TIM2A TIM1 TIM10	TIM2B TIM1A TIM11	TIM2C TIM1B	ADC VCx2 OPAx2	Clock IR LVD SWD
48	32	28										
1	1	1	VCAP	P								
2			PC13	WKUP					T2B_CH4	T2C_CH1		
3		2	PB05	XTLI								
4		3	PB04	XTLO								
5	2	4	PA01	XTHI	TXD_1	SDA_0						
6	3	5	PA02	XTHO	RXD_1	SCL_0		T1_CH1				
7	4	6	NRST									
8			AVSS	G								
9	5	7	AVDD	P								
10	6	8	PA00	WKUP			T2_CH1 T2_ETR	T1_CH1 T2A_CH1 TIM10_TOG		T2C_ETR	AIN0 VC0_P4 VC0_N0 VC0_O VC1_P0 VC1_N4	
11	7	9	PD00	WKUP		MOSI_1	T2_CH2	T1_CH1N T2A_CH2 T2A_ETR	TIM11_TOGN		AIN1 VC0_P5 VC0_N1 VC1_P1 VC1_N5	
12	8	10	PA14	WKUP	TXD_1	MISO_1	T2_CH3	T1_CH1 T2A_CH1	T2B_CH1 TIM11_TOG		AIN2 VC0_P6 VC0_N2 VC1_P2 VC1_O	
13	9	11	PA03	WKUP	RXD_1	CS_1	T2_CH4	T1_CH1N T2A_CH2	T1A_CH1	T1B_CH1 T2C_CH1	AIN3 VC0_P7 VC0_N3 VC1_P3	
14	10	12	PA04	WKUP	TXD_1	CS_0	PCA_CH4	T2A_CH3	T2B_ETR T1A_CH1	T1B_CH1N T2C_CH2	AIN4 VC0_P8 VC0_N4 VC1_P4	
15	11	13	PA05	WKUP		CLK_0	T2_CH1 T2_ETR PCA_ECI	T2A_CH4	T1A_CH1N		AIN5 VC0_P9 VC0_N5 VC1_P5	LVDO
16	12	14	PA06	WKUP		MISO_0	PCA_CH0	T2A_CH1		T1B_CH1	AIN6 VC0_P10 VC0_N6 VC0_O	

Pin Num			Pin Name	Power WKUP XTAL ISP	UARTx4 LPUART	SPIx2 I2Cx2	TIM2 PCA LPTIM	TIM2A TIM1 TIM10	TIM2B TIM1A TIM11	TIM2C TIM1B	ADC VCx2 OPAx2	Clock IR LVD SWD
48	32	28										
17		15	PA07	WKUP	TXD_3	MOSI_0	PCA_CH1	T1_CH1	T2B_CH1	T1B_CH1N T2C_CH1	AIN7 VC0_P11 VC0_N7 VC1_O	
18		16	PB00	WKUP	RXD_3		PCA_CH2		T1A_CH1 TIM11_G	T2C_CH2	AIN8 VC0_N10 VC1_N6	MCO
19		17	PB01	WKUP			PCA_CH3		T1A_CH1N TIM11_EXT	T2C_CH3	AIN9 EXVREF VC1_P6 VC1_N7	
20	13	18	PB02	WKUP			PCA_ECI LPT_TOG	T1_CH1 T1_BK	T1A_BK	T1B_BK	AIN16 VC1_P7 VC1_N8 OP2_INN	
21	14		PB10	WKUP	TX_LP	CLK_1 SCL_1		T1_CH1 T2A_CH1		T2C_CH1	AIN17 VC1_P8 OP2_INP	
22	15		PB11	WKUP	RX_LP	SDA_1		T1_CH1N		T1B_CH1	AIN18 OP2_O	
23	16	19	VSS	<b>G</b>								
24	17	20	VDD	<b>P</b>								
25			PB12	WKUP	TXD_2	CS_1		T1_BK		T1B_CH1	AIN19 VC1_P9	
26	18		PB13	WKUP	RXD_2	CLK_1 SCL_1		T1A_CH1N		T2C_CH1 T1B_CH1N	AIN20 VC1_P10 OP1_INP	
27			PB14	WKUP		MISO_1 SDA_1	T2_CH1	T1_CH1	T1A_BK	T2C_CH1	AIN21 VC1_P11 OP1_O	
28	19		PB15	WKUP		MOSI_1	T2_CH2	T1_CH1N		T2C_CH2	AIN22 OP1_INN	
29		21	PA08	WKUP	TXD_0		T2_CH3	T1_CH1		T2C_CH3		
30		22	PA09	WKUP	TXD_0	SCL_0	T2_CH4	T1_CH1N T1_BK	T1A_CH1	T2C_CH4		
31	20	23	PA10	WKUP	RXD_0	SDA_0		T1_CH2	T1A_CH1	T1B_CH1 T2C_CH1 T1B_BK		
32	21	24	PC05	WKUP		SCL_1 MISO_0		T1_CH2N TIM10_EXT	T1A_CH1N		VC0_O	MCO
33	22	25	PC06	WKUP		SDA_1 MOSI_0		T1_CH3 TIM10_G	T1A_CH2	T1B_CH1 T2C_ETR	VC1_O	
34	23	26	PC07	WKUP	RXD_0			T1_CH3N	T1A_CH2N	T1B_CH1N T2C_ETR		<b>SWDIO</b> LVD_O
35			PD06	WKUP		SCL_1		T1_CH4	T1A_CH3	T1B_CH2		

Pin Num			Pin Name	Power WKUP XTAL ISP	UARTx4 LPUART	SPIx2 I2Cx2	TIM2 PCA LPTIM	TIM2A TIM1 TIM10	TIM2B TIM1A TIM11	TIM2C TIM1B	ADC VCx2 OPAx2	Clock IR LVD SWD
48	32	28										
36			PD07			SDA_1			T1A_CH3N	T1B_CH2N		
37	24	27	PD01	WKUP	TXD_0 TXD_1			T2A_CH1	T1A_CH4	T1B_CH3		SWCLK LVD_O MCO
38	25		PA15	WKUP	RXD_1	CS_0	T2_ETR T2_CH1	T2A_CH2 T1_CH1		T1B_CH3N T2C_CH4		
39	26		PB03	WKUP		CLK_0	T2_CH2 LPT_GATE	T2A_CH3 T1_CH1N		T2C_CH3 T1B_CH1	VC1_N9	
40	27		PC15	WKUP		MISO_0	PCA_CH0 LPT_EXT	T2A_CH4		T2C_CH2 T1B_CH1N T1B_BK	VC0_P12 VC1_P12 VC1_N10	
41	28		PC14	WKUP		MOSI_0	PCA_CH1 LPT_GATE	T1_BK		T2C_CH1	VC0_P13 VC1_P13	
42	29		PB06	WKUP	TXD_0	SCL_0	T2_CH1 LPT_EXT	T1_CH1 T2A_CH2 LPT_TOG			VC0_P14 VC1_P14	
43	30		PB07	WKUP	RXD_0	SDA_0	T2_CH2 LPT_TOGN	T1_CH1N	T2B_CH1	T1B_CH1	VC0_P15 VC1_P15	
44	31	28	PD03	BOOT0								
45			PB08	WKUP	TXD_0	SCL_0		T2A_CH1	T2B_CH2	T2C_CH2 T1B_CH1N		
46			PB09	WKUP	RXD_0	SDA_0 CS_1			T2B_CH3	T1B_CH4		
47	32		VSS	G								
48			VDD	P								

Table 2 引脚功能说明表

**2.5 复用引脚功能说明**

Pin Num			GPIOX_AFR[i+3:i]									
			0	1	2	3	4	5	6	7	8	F/Config
48	32	28										
1	1	1	VCAP	P	P	P	P	P	P	P	P	P
2			PC13			T2C_CH1		T2B_CH4				LVDIN0
3		2	PB05									XTLI
4		3	PB04									XTLO
5	2	4	PA01	SDA_0		TXD_1						XTHI
6	3	5	PA02	SCL_0	T1_CH1	RXD_1						XTHO
7	4	6	NRST									
8			AVSS	G	G	G	G	G	G	G		G
9	5	7	AVDD	P	P	P	P	P	P	P		P
10	6	8	PA00	TIM10_TOG	T1_CH1	T2_CH1	T2_ETR	T2A_CH1	T2C_ETR		VC0_O	<b>AIN0</b> VC0_P4 VC0_N0 VC1_P0 VC1_N4
11	7	9	PD00	TIM10_TOGN	T1_CH1N	T2_CH2		T2A_CH2	T2A_ETR	MOSI_1	TIM11_TOGN	<b>AIN1</b> VC0_P5 VC0_N1 VC1_P1 VC1_N5
12	8	10	PA14	TXD_1	T1_CH1	T2_CH3	T2A_CH1	T2B_CH1	TIM11_TOG	MISO_1	VC1_O	<b>AIN2</b> VC0_P6 VC0_N2 VC1_P2
13	9	11	PA03	RXD_1	T1_CH1N	T1A_CH1	T1B_CH1	T2A_CH2	T2_CH4	CS_1	T2C_CH1	<b>AIN3</b> VC0_P7 VC0_N3 VC1_P3
14	10	12	PA04	CS_0	TXD_1	PCA_CH4	T1A_CH1	T1B_CH1N	T2A_CH3	T2B_ETR	T2C_CH2	<b>AIN4</b> VC0_P8 VC0_N4 VC1_P4
15	11	13	PA05	CLK_0	PCA_ECI	T2_ETR	T1A_CH1N	T2_CH1	T2A_CH4	LVDO		<b>AIN5</b> VC0_P9 VC0_N5 VC1_P5
16/	12	14	PA06	MISO_0	PCA_CH0		T1B_CH1	T2A_CH1		VC0_O		<b>AIN6</b> VC0_P10 VC0_N6
17		15	PA07	MOSI_0	PCA_CH1	T1_CH1	T1B_CH1N	T2B_CH1	T2C_CH1	VC1_O	TXD_3	<b>AIN7</b> VC0_P11 VC0_N7

18		16	PB00	PCA_CH2		T1A_CH1	TIM11_G		T2C_CH2	MCO	RXD_3	<b>AIN8</b> VC0_N10 VC1_N6
19		17	PB01	PCA_CH3		T1A_CH1N	TIM11_EXT		T2C_CH3			<b>AIN9</b> <b>EXVREF</b> VC1_P6 VC1_N7
20	13	18	PB02		PCA_ECI	LPT_TOG	T1_CH1	T1_BK	T1A_BK	T1B_BK		<b>AIN16</b> VC1_P7 VC1_N8 OP2_INN
21	14		PB10	SCL_1	CLK_1	T1_CH1		T2A_CH1	T2C_CH1		TX_LP	<b>AIN17</b> VC1_P8 OP2_INP
22	15		PB11	SDA_1		T1_CH1N		T1B_CH1			RX_LP	<b>AIN18</b> OP2_O
23	16	19	VSS	G								
24	17	20	VDD	P								
25			PB12	CS_1	T1B_CH1		T1_BK		LXT_out		TXD_2	<b>AIN19</b> VC1_P9
26	18		PB13	CLK_1	SCL_1	T1A_CH1N	T1B_CH1N		HXT_out	T2C_CH1	RXD_2	<b>AIN20</b> VC1_P10 OP1_INP
27			PB14	MISO_1	SDA_1	T1_CH1	T2_CH1	T1A_BK	SIRC_out	T2C_CH1		<b>AIN21</b> VC1_P11 OP1_O
28	19		PB15	MOSI_1	T1_CH1N	T2_CH2	T2C_CH2		HIRC_out			<b>AIN22</b> OP0_INN
29		21	PA08	TXD_0		T1_CH1	T2_CH3		BEEP	T2C_CH3		
30		22	PA09	TXD_0	T1_CH1N	T1A_CH1	T2_CH4	T1_BK	1-Wire	T2C_CH4	SCL_0	
31	20	23	PA10	RXD_0	T1_CH2	T1A_CH1	T1B_CH1	T1B_BK	RTC_1hz	T2C_CH1	SDA_0	
32	21	24	PC05	TIM10_EXT	MISO_0	T1_CH2N	T1A_CH1N		MCO	VC0_O	SCL_1	
33	22	25	PC06	TIM10_G	MOSI_0	T1_CH3	T1A_CH2	T1B_CH1	T2C_ETR	VC1_O	SDA_1	
34	23	26	PC07		RXD_0	T1_CH3N	T1A_CH2N	T1B_CH1N	T2C_ETR	LVD_O		<b>SWDIO</b> (Config)
35			PD06	SCL_1		T1_CH4	T1A_CH3	T1B_CH2				
36			PD07	SDA_1			T1A_CH3N	T1B_CH2N				
37	24	27	PD01	TXD_1	TXD_0	T1A_CH4	T1B_CH3	T2A_CH1	LVD_O	MCO		<b>SWCLK</b> (Config)
38	25		PA15	CS_0	RXD_1	T1_CH1	T1B_CH3N	T2_ETR	T2_CH1	T2A_CH2	T2C_CH4	
39	26		PB03	CLK_0	LPT_GATE		T1_CH1N	T1B_CH1	T2_CH2	T2A_CH3	T2C_CH3	VC1_N9
40	27		PC15	MISO_0		PCA_CH0	LPT_EXT	T1B_CH1N	T2A_CH4	T1B_BK	T2C_CH2	VC0_P12 VC1_P12 VC1_N10
41	28		PC14	MOSI_0		LPT_GATE	PCA_CH1	T1_BK		T2C_CH1		VC0_P13 VC1_P13

42	29		PB06	SCL_0	TXD_0	LPT_EXT	LPT_TOG	T1_CH1	T2A_CH2	T2_CH1		VC0_P14 VC1_P14
43	30		PB07	SDA_0	RXD_0	LPT_TOGN	T1_CH1N	T1B_CH1	T2_CH2	T2B_CH1		VC0_P15 VC1_P15
44	31	28	PD03 (BOOT0)									
45			PB08	SCL_0	TXD_0	T1B_CH1N	T2A_CH1	T2B_CH2	T2C_CH2			
46			PB09	SDA_0	RXD_0	CS_1		T2B_CH3	T1B_CH4			
47	32		VSS	G								
48			VDD	P								

Table 3 选择芯片引脚表

## 2.6 模块与引脚信号说明

模块功能	引脚名称	说明
Power	VDD	电源
	AVDD	电源
	VCAP	LDO 内核供电 (仅限内部电路使用，外部连接电容至少 1uf)
Ground	VSS	接地
	AVSS	接地
GPIO	PAx, PBx, PCx, PDx	通用数字输入/输出引脚
NRST	NRST	复位输入端口，低有效，芯片复位
ADC	AIN0~AIN23	ADC 输入通道 0~23
	EXVREF	ADC 外部参考电压
OPA X=0,1,2	OPx_INN	OPA 负端输入
	OPx_INP	OPA 正端输入
	OPx_O	OPA 输出
VC X=0,1	VCxN0~VCxN11	选择 VC0,VC1 负端输入
	VCxP0~VCxP11	选择 VC0,VC1 正端输入
	VCx_O	VC0,VC1 比较输出
LVD	LVD_O	电压侦测输出
ISP	BOOT0	当复位时 BOOT0 (PD03) 管脚为低电平，芯片工作于用户模式，芯片执行 FLASH 内的程序代码，可通过 SWD 协议对 FLASH 进行编程。
WKUP	All GPIO	外部唤醒脚位
LPUART	TXD_LP	LPUART 数据发送端
	RXD_LP	LPUART 数据接收端
UART x=0,1,2,3	TXD_x	UARTx 数据发送端
	RXD_x	UARTx 数据接收端
SPI x=0,1	MISO_x	SPI 模块主机输入从机输出数据信号
	MOSI_x	SPI 模块主机输出从机输入数据信号
	SCK_x	SPI 模块时钟信号
	CS_x	SPI 片选择使能
I2C x=0,1	SDA_x	I2C 模块数据信号
	SCL_x	I2C 模块时钟信号
通用定时器 TIMx X=2,2A,2B,2C	Tx_CH1, 2, 3, 4	TimerX 的捕获输入/比较输出/PWM 输出 CH1,2,3,4
	Tx_ETR	Timerx 的外部计数输入信号

模块功能	引脚名称	说明
可编程计数阵列 PCA	PCA_ECI	外部时钟输入信号
	PCA_CH0~PCA_CH4	捕获输入/比较输出/PWM 输出 0~4
高级定时器 Advanced Timer1,1A,1B	TIM1_CH1,2,3,4	TIM1 PWM 输出 channel 1/2/3/4
	TIM1_CH1N,2N,3N	TIM1 PWM 输出 反相 channel 1N/2N/3N
	TIM1_BKIN	TIM1 刹车信号输入
	TIM1A_CH1,2,3,4	TIM1A PWM 输出 channel 1/2/3/4
	TIM1A_CH1N,2N,3N	TIM1A PWM 输出 反相 channel 1N/2N/3N
	TIM1A_BKIN	TIM1A 刹车信号输入
	TIM1B_CH1,2,3,4	TIM1B PWM 输出 channel 1/2/3/4
	TIM1B_CH1N,2N,3N	TIM1B PWM 输出 反相 channel 1N/2N/3N
	TIM1B_BKIN	TIM1B 刹车信号输入
低功耗定时器 LPTimer	LP_ETR	LP Timer 的外部计数输入信号
	LP_GATE	LP Timer 的门控信号
	LP_TOG	比较输出正端
	LP_TOGN	比较输出负端
基本定时器 Timer10,11	TIM10_ETR, TIM11_ETR	Timer10,11 的外部计数输入信号
	TIM10_G, TIM11_G	Timer10,11 的门控信号
	TIM10_TOG, TIM11_TOG	比较输出正端
	TIM10_TOGN, TIM11_TOGN	比较输出负端

**Table 4 模块与引脚信号说明表**

## 2.7 串行接口说明

Number Serial	0	1	2	3	4	5	6
I2C	SCL_0 SDA_0	SCL_1 SDA_1					
SPI	CS_0 CLK_0 MISO_0 MOSI_0	CS_1 CLK_1 MISO_1 MOSI_1					
UART	TXD_0 RXD_0	TXD_1 RXD_1	TXD_2 RXD_2	TXD_3 RXD_3			
LPUART	TXD_LP RXD_LP						
PWM 独立 输出	T1_CH1 T1_CH2 T1_CH3 T1_CH4  PCA_CH0 PCA_CH1 PCA_CH2 PCA_CH3 PCA_CH4	T1A_CH1 T1A_CH2 T1A_CH3 T1A_CH4	T1B_CH1 T1B_CH2 T1B_CH3 T1B_CH4	T2_CH1 T2_CH2 T2_CH3 T2_CH4	T2A_CH1 T2A_CH2 T2A_CH3 T2A_CH4	T2B_CH1 T2B_CH2 T2B_CH3 T2B_CH4	T2C_CH1 T2C_CH2 T2C_CH3 T2C_CH4
PWM 互补 输出	T1_CH1,1N T1_CH2,2N T1_CH3,3N	T1A_CH1,1N T1A_CH2,2N T1A_CH3,3N	T1B_CH1,1N T1B_CH2,2N T1B_CH3,3N				

**Table 5** 串行接口说明表

**Note :**

PWM 互补输出 : Tx\_CH1 → Positive, Tx\_CH1N → Negative

### 【3】 存储器映像

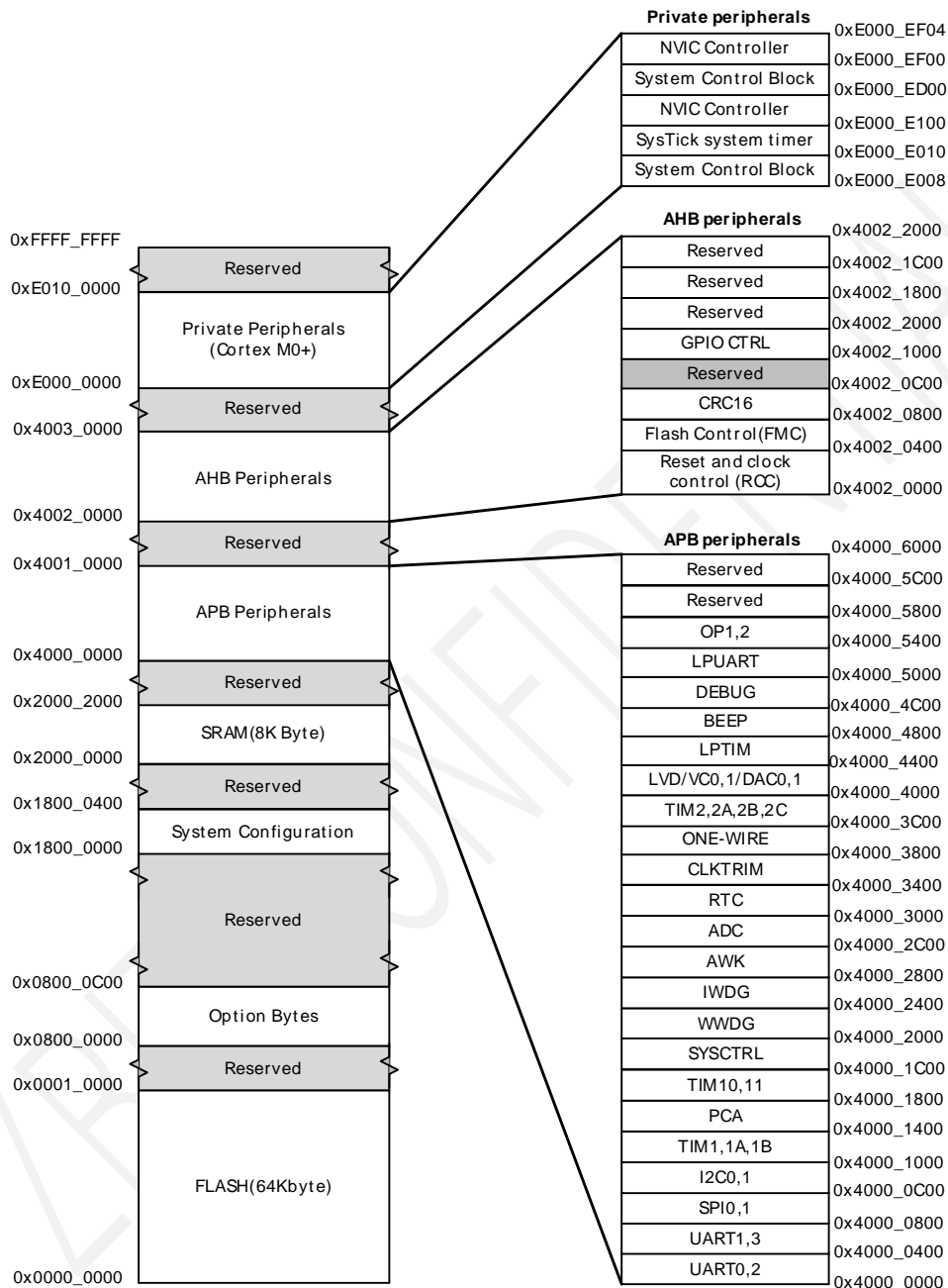
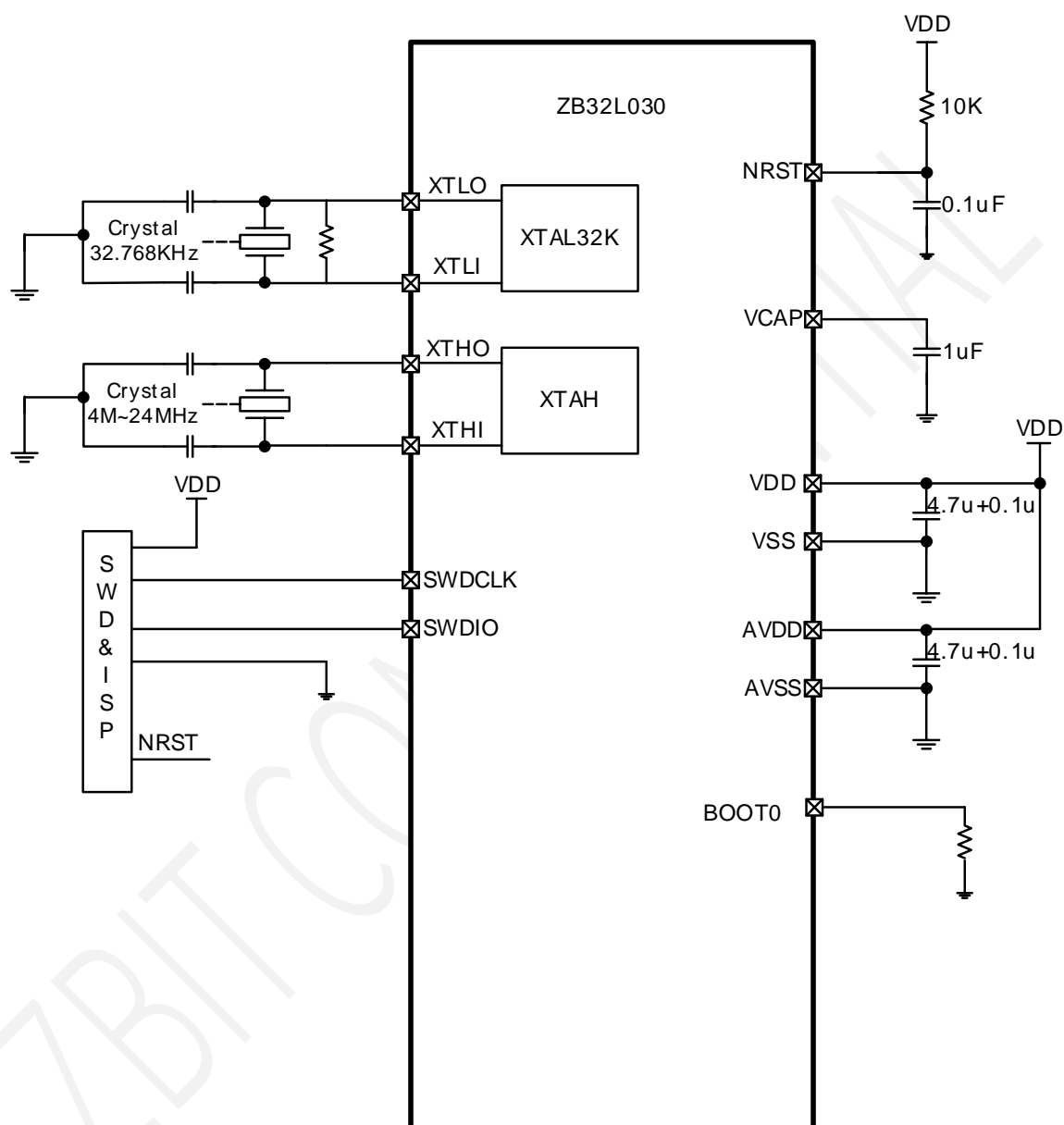


Figure 5 存储器映像图

## 【4】 典型应用线路图



**Figure 6 典型应用线路图**

## 【5】 电气特性

### 5.1 测试条件

除非特别说明，所有的电压都以 VSS 为基准。

#### 5.1-1 最小和最大数值

除非特别说明，在生产线上通过对 100% 的产品在环境温度  $T_A=25^{\circ}\text{C}$  和  $T_A=T_{\text{op,Max}}$  下执行的测试( $T_{\text{op,Max}}$  与选定 Part Number 所对应的温度范围匹配)，所有最小和最大值将在最坏的环境温度、供电电压和时钟频率条件下得到保证。

在每个表格下方的注解中说明为通过综合评估、设计模拟和/或工艺特性得到的数据，不会在生产线上进行测试；在综合评估的基础上，最小和最大数值是通过样本测试后，取其平均值再加减三倍的标准分布(平均  $\pm 3\sigma$ )得到。

#### 5.1-2 典型数值

除非特别说明，典型数据是基于  $T_A=25^{\circ}\text{C}$  和  $V_{DD}=3.3\text{V}(2.5\text{V} \leq V_{DD} \leq 5.5\text{V})$  电压范围)。这些数据仅用于设计指导而未经测试。

典型的 ADC 精度数值是通过对一个标准的批次采样，在所有温度范围下测试得到，95% 产品的误差小于等于给出的数值(平均  $\pm 2\sigma$ )。

## 5.2 绝对最大额定值

符号	参数描述	条件	最小值	典型值	最大值	单位
VDD-VSS	外部电源电压		2.5		5.5	V
AVDD-AVSS						
V <sub>IO</sub>	IO 电压		-0.3		VDD+0.3	V
T <sub>STG</sub>	存储温度		-40	25	150	°C
T <sub>OP</sub>	工作温度		-40	25	85	°C
F <sub>CPU</sub>	CPU 工作频率		32.768K	4M	24M	Hz
V <sub>ESD, HBM</sub>	参见 5.3-10.1					
V <sub>ESD, CDM</sub>	参见 5.3-10.1					
V <sub>ESD, MM</sub>	参见 5.3-10.1					

注意

1. 温度测试方法：CP 阶段测试高温 85° C，低温-40° C 和高温 85° C 的 chip level 测试仅在实验室和 Production Quality Qualification 时测试
2. 频率测试方法：CP 阶段测试 24MHz 频率，Final Test 只关注于封装工艺的缺陷

### 5.3 工作条件

#### 5.3-1 通用工作条件

符号	参数描述	条件	最小值	最大值	单位	参考
VDD	电源电压	-	2.5	5.5	V	
C <sub>S</sub>	VCAP 电容	-	0.47	2.2	μF	推荐 1.0μF
T <sub>OP</sub>	工作温度		-40	85	°C	

注意：

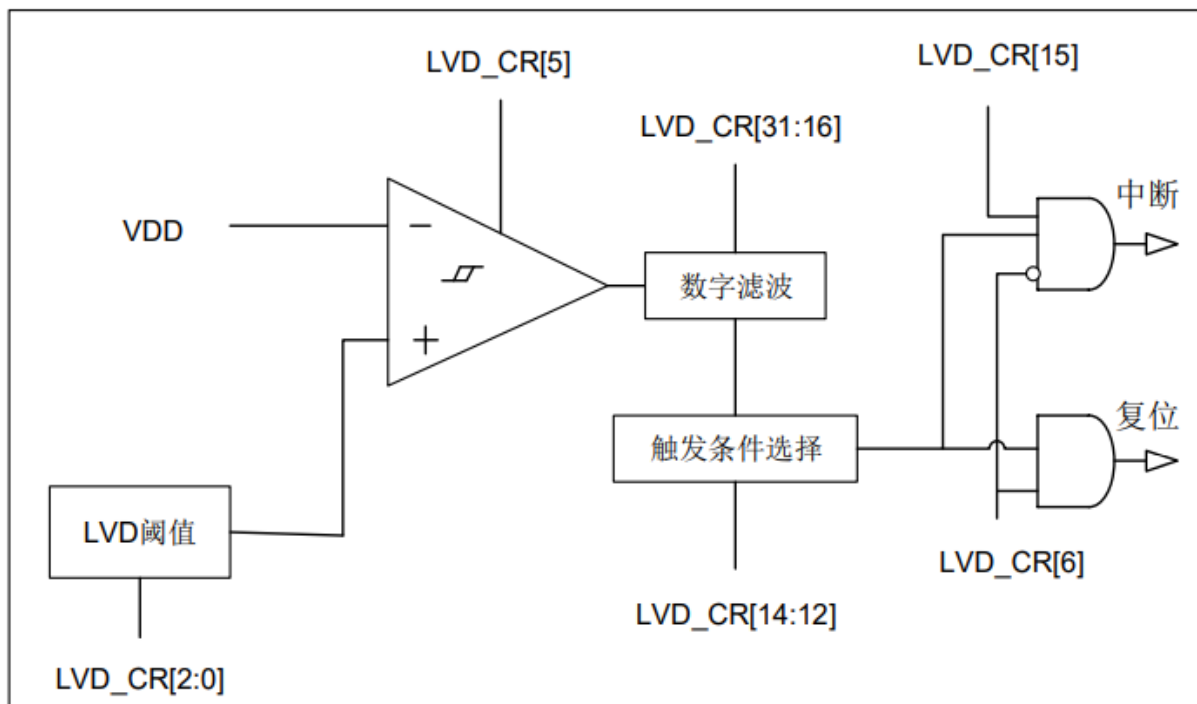
1. 推荐工作条件是确保半导体芯片正常工作的条件。在推荐工作条件的范围内，电气特性的所有规格值均可得到保证。务必在推荐工作条件下使用半导体芯片。超出该条件的使用可能会影响半导体的可靠性。
2. 对于本数据手册中未记载的项目、使用条件或逻辑组合的使用，本公司不做任何保障。如果用户考虑在所列条件之外使用本芯片，请事前联系销售代表。

#### 5.3-2 上电和掉电时的工作条件

符号	参数	条件	最小值	典型值	最大值	单位
V <sub>POR</sub>	POR 释放电压(上电过程)		2.2	2.25	2.3	V
V <sub>BOR</sub>	BOR 检测电压(掉电过程)					

注：由设计保证，不在生产中测试

### 5.3-3 内嵌复位和 LVD 模块特性



符号	参数	条件	最小值	典型值	最大值	单位
V <sub>leve</sub>	VDD Detectable threshold	LVD_CR[2:0] = 000 (@25°C)	4.38	4.39	4.53	V
		LVD_CR[2:0] = 001 (@25°C)	3.91	3.93	4.03	
		LVD_CR[2:0] = 010 (@25°C)	3.54	3.56	3.66	
		LVD_CR[2:0] = 011 (@25°C)	3.25	3.27	3.36	
		LVD_CR[2:0] = 100 (@25°C)	3.00	3.04	3.10	
		LVD_CR[2:0] = 101 (@25°C)	2.78	2.82	2.87	
		LVD_CR[2:0] = 110 (@25°C)	2.60	2.61	2.68	
		LVD_CR[2:0] = 111 (@25°C)	2.43	2.45	2.51	
I <sub>comp</sub>	Detector' s current	@25°C	1	1.5	2	μA

符号	参数	条件	最小值	典型值	最大值	单位
$T_{\text{response}}$	Detector' s response time when VDD fall below or rise above the threshold.	@25°C	30	50	80	$\mu\text{s}$
$T_{\text{setup}}$	Detector' s setup time when ENABLE. VDD unchanged.	@25°C	3	5	10	$\mu\text{s}$

注：数据基于考核结果，不在生产中测试

#### 5.3-4 内置的参考电压

符号	参数	条件	最小值	典型值	最大值	单位
$V_{\text{CAP}}$	Internal 2.5V Reference Voltage	常温 25°C 2.8~5.5V	$2.54*(1-5\%)$	2.54V	$2.54*(1+5\%)$	V
$V_{\text{CAP}}$	Internal 2.5V Reference Voltage	-40~85°C 2.8~5.5V	$2.54*(1-6\%)$	2.54V	$2.54*(1+6\%)$	V[1]

注：[1] 数据基于测试分析结果,不在生产中测试。

**5.3-5 供电电流特性**

符号	参数	条件			典型值	最大值	单位
I <sub>DD</sub> (Run Mode in RAM)	All Peripherals clock OFF, Run while(1) in RAM	V <sub>core</sub> =1.2V VDD=2.5V-5.5V	Clocksource: HIRC	4M	298.3	411	μA
				8M	423.6	553	
				16M	673.5	846	
				24M	916.3	1128	
I <sub>DD</sub> (Run Mode in FLASH)	All Peripherals clock ON, Run while(1) in Flash	V <sub>core</sub> =1.2V VDD=2.5V-5.5V	Clocksource: HIRC	4M	562.2	701	μA
				8M	966.7	1143	
				16M	1768.2	1988	
				24M	2550.7	2885	
	All Peripherals clock OFF, Run while(1) in Flash	V <sub>core</sub> =1.2V VDD=2.5V-5.5V	Clocksource: HIRC	4M	421.3	527	μA
				8M	692	804	
				16M	1229.7	1394	
				24M	1752.4	2000	
	All Peripherals clock ON, Run while(1) in Flash	V <sub>core</sub> =1.2V VDD=2.5V-5.5V	Clocksource: LXT32.768KHz Driver=1	Ta=-40°C	78.61	111.5	μA
				Ta=25°C	70.86	94.1	
				Ta=50°C	72.85	92.7	
				Ta=85°C	78.54	98.4	
	All Peripherals clock OFF, Run while(1) in Flash	V <sub>core</sub> =1.2V VDD=2.5V-5.5V	Clocksource: LXT32.768KHz Driver=1	Ta=-40°C	77.56	110.5	μA
				Ta=25°C	69.76	93	
				Ta=50°C	71.7	91.5	
				Ta=85°C	77.45	97.1	
I <sub>DD</sub> (Sleep Mode)	All Peripherals clock ON	V <sub>core</sub> =1.2V VDD=2.5V-5.5V	Clocksource: HIRC	4M	319.34	461	μA
				8M	491.9	651	
				16M	837	943	
				24M	1176.9	1345	
	All Peripherals clock OFF	V <sub>core</sub> =1.2V VDD=2.5V-5.5V	Clocksource: HIRC	4M	177.3	291.1	μA
				8M	207.97	321.1	
				16M	269.11	383.6	
				24M	318.9	438	
	All Peripherals clock ON	V <sub>core</sub> =1.2V VDD=2.5V-5.5V	Clocksource: LXT32.768KHz Driver=1	Ta=-40°C	77.29	109.5	μA
				Ta=25°C	64.39	89.5	
				Ta=50°C	68.87	89.5	
				Ta=85°C	72.6	93.1	

符号	参数	条件			典型值	最大值	单位
	All Peripherals clock OFF	$V_{core}=1.2V$ $VDD=2.5V-5.5V$	Clocksource: LXT32.768KHz Driver=1	$T_a=-40^{\circ}C$ $T_a=25^{\circ}C$ $T_a=50^{\circ}C$ $T_a=85^{\circ}C$	76.21 62.94 67.32 71.27	108.2 88.2 86.3 90.7	$\mu A$
$I_{DD}$ (Deep Sleep Mode)	All Peripherals clock OFF, except RTC, IWDG, LPTIM, AWK	$V_{core}=1.2V$ $VDD=2.5V-5.5V$	Clocksource: SIRC 32.768KHz	$T_a=-40^{\circ}C$	0.75	1.0	$\mu A$
				$T_a=25^{\circ}C$	1.11	1.5	
				$T_a=50^{\circ}C$	2.0	3.3	
				$T_a=85^{\circ}C$	7.71	12.9	
	All Peripherals clock OFF, except RTC	$V_{core}=1.2V$ $VDD=2.5V-5.5V$	Clocksource: SIRC 32.768KHz	$T_a=-40^{\circ}C$	0.75	1.0	$\mu A$
				$T_a=25^{\circ}C$	1.08	1.5	
				$T_a=50^{\circ}C$	2.0	3.3	
				$T_a=85^{\circ}C$	7.69	12.8	
	All Peripherals clock OFF, except IWDG	$V_{core}=1.2V$ $VDD=2.5V-5.5V$	Clocksource: SIRC 32.768KHz	$T_a=-40^{\circ}C$	0.75	1.0	$\mu A$
				$T_a=25^{\circ}C$	1.09	1.4	
				$T_a=50^{\circ}C$	1.99	3.3	
				$T_a=85^{\circ}C$	7.69	12.8	
	All Peripherals clock OFF, except LPTIM	$V_{core}=1.2V$ $VDD=2.5V-5.5V$	Clocksource: SIRC 32.768KHz	$T_a=-40^{\circ}C$	0.75	1.0	$\mu A$
				$T_a=25^{\circ}C$	1.09	1.4	
				$T_a=50^{\circ}C$	2.0	3.3	
				$T_a=85^{\circ}C$	7.69	12.8	
	All Peripherals clock OFF, except AW	$V_{core}=1.2V$ $VDD=2.5V-5.5V$	Clocksource: SIRC 32.768KHz	$T_a=-40^{\circ}C$	0.75	1.0	$\mu A$
				$T_a=25^{\circ}C$	1.08	1.4	
				$T_a=50^{\circ}C$	2.0	3.3	
				$T_a=85^{\circ}C$	7.69	12.8	
	All Peripherals clock OFF	$V_{core}=1.2V$ $VDD=2.5V-5.5V$		$T_a=-40^{\circ}C$	0.53	0.72	$\mu A$
				$T_a=25^{\circ}C$	0.83	1.18	
				$T_a=50^{\circ}C$	1.62	2.6	
				$T_a=85^{\circ}C$	7	12	

注:

1. 数据基于 TT Wafer 考核结果, 不在生产中测试
2. 除非特别说明, 典型值 (Typ) 是在  $T_a=25^{\circ}C$ ,  $VDD=3.3V$  的条件下测得
3. 除非特别说明, 最大值 (Max) 是在  $T_a=-40^{\circ}C \sim 85^{\circ}C$ ,  $VDD=2.5V \sim 5.5V$  的条件下测得的最大值
4. 使用 LXT 32.768KHz 时, 外部晶振并联了一个  $3M\Omega$  电阻

### 5.3-6 从低功耗模式唤醒的时间

唤醒时间是芯片由外部中断唤醒，从深度睡眠模式唤醒的时间。时钟源是 HIRC。

符号	参数	条件 (HIRC Frequency @VDD=3.3V)	最小值	典型值	最大值	单位
T <sub>wakeup</sub>	Deep sleep mode to active mode	4MHz		30		μs
		8MHz		17		
		16MHz		11		
		22.12MHz		8.6		
		24MHz		8.0		

注：数据基于考核结果，不在生产中测试

### 5.3-7 外部时钟源特性

#### 5.3-7.1 低速外部时钟 LXT

符号	参数	条件	最小值	典型值	最大值	单位
$F_{sclk}$	Crystal frequency			32.768		KHz
$ESR_{sclk}$	Supported crystal equivalent series resistance		40	65	85	KOhm
$R_{FB}$	Feedback resistance			1000		Kohm
$C_{sclk}^{(1)}$	Supported crystal external load range	There are two $C_{SCLK}$ on 2 crystal pins respectively		12		pF
$I_{dd}^{(2)}$	Current consumption when stable	ESR=65KOhm $C_{SCLK}=12pF$ @max driving		760		nA
		ESR=65KOhm $C_{SCLK}=12pF$ @7 Driving		370		nA
$DC_{sclk}$	Duty cycle			50		%
$T_{start}^{(3)}$	Start-up time	ESR=65KOhm $C_{SCLK}=12pF$ 40%~60% duty cycle reached		300		ms

Note:

- (1) 建议使用晶体给出参考值
- (2)  $RCC\_LXTCR.LXTDRV=0011$ , ESR=65K
- (3) 数据基于考核结果，不在生产中测试

**5.3-7.2 高速外部时钟 HXT**

符号	参数	条件	最小值	典型值	最大值	单位
$F_{CLK}$	Crystal frequency		4	16	24	MHz
$ESR_{CLK}$	Supported crystal equivalent series resistance		30	60	1500	Ohm
$R_{FB}$	Feedback Resistance			383		Kohm
$C_{CLK}^{(1)}$	Supported crystal external load range	There are 2 $C_{CLK}$ on 2 crystal pins individually			12	pF
$I_{dd}^{(2)}$	Supported crystal external load range	24MHz Xtal ESR=30Ohm $C_{CLK}=12pF$ @max driving		300		$\mu A$
		24MHz Xtal ESR=30Ohm $C_{CLK}=12pF$ @Default setting		200		$\mu A$
$DC_{CLK}$	Duty cycle		40	50	60	%
$T_{start}$	Start-up time	24MHz	545	587	640	$\mu s$

Note:

1. 建议使用晶体给出参考值
2. Current consumption could vary with oscillating frequency,  $RCC\_HXTCR.HXTDRV=110$ .
3. 数据基于考核结果, 不在生产中测试

### 5.3-8 内部时钟源特性

#### 5.3-8.1 内部 HIRC 振荡器

符号	参数	条件	最小值	典型值	最大值	单位
$F_{MCLK}$	Internal RC Oscillation frequency		4.0	4.0 8.0 16.0 24	24	MHz
$T_{Mstart}^{(1)}$	Start-up time Not including software calibration	$F_{MCLK}=4MHz$	2.5	2.65	3	$\mu s$
		$F_{MCLK}=8MHz$	2.5	2.65	3	$\mu s$
		$F_{MCLK}=16MHz$	2.5	2.65	3	$\mu s$
		$F_{MCLK}=24MHz$	2.5	2.65	3	$\mu s$
$I_{MCLK}$	Current consumption	$F_{MCLK}=4MHz$	85	104	117	$\mu A$
		$F_{MCLK}=8MHz$	95	113	126	$\mu A$
		$F_{MCLK}=16MHz$	111.54	131.425	150.27	$\mu A$
		$F_{MCLK}=24MHz$	131	150	163	$\mu A$
$DC_{MCLK}$	Duty cycle			52		%
$D_{evM}$	Frequency Deviation	$VDD=2.5V\sim 5.5V$ $T_a=-40^{\circ}C\sim 85^{\circ}C$	-2.5		+2.5	%

注：数据基于考核结果，不在生产中测试

#### 5.3-8.2 内部 SIRC 振荡器

符号	参数	条件	最小值	典型值	最大值	单位
$F_{ACLK}$	Internal RC Oscillation frequency			32.768 38.4		KHz
$T_{Astart}^{(1)}$	Start-up time				120	$\mu s$
$I_{ACLK}$	Current consumption	32.768	0.24	0.25	1.92	$\mu A$
		38.4	0.14	0.29	2.16	
$DC_{ACLK}$	Duty cycle			52		%
$D_{evA}$	Frequency Deviation	$VDD = 2.5V \sim 5.5V$ $T_a = -40^{\circ}C \sim 85^{\circ}C$	-10		+10	%

注：数据基于考核结果，不在生产中测试

### 5.3-9 Flash 特性

符号	参数	条件	最小值	典型值	最大值	单位
EC <sub>flash</sub>	Sector Endurance		20k			cycles
RET <sub>flash</sub>	Data Retention		20			Years
T <sub>prog</sub>	Byte/Half Word/Word Program Time		30	45	60	μs
T <sub>Sector-erase</sub>	Sector Erase Time		3.5	3.7	4.5	ms
T <sub>Chip-erase</sub>	Chip Erase Time		20	30	40	ms

### 5.3-10 电磁敏感特性

#### 5.3-10.1 ESD 特性

符号	参数	条件	最小值	典型值	最大值	单位
V <sub>ESD, HBM</sub>	ESD @ Human Body Mode		5			KV
V <sub>ESD, CDM</sub>	ESD @ Charge Device Mode		1			KV
V <sub>ESD, MM</sub>	ESD @ Machine Mode		350			V
I <sub>Latchup</sub>	Latch up current	25 °C	200			mA

#### 5.3-10.2 静态栓锁 (Static Latch-up)

为了评估栓锁性能，需要在 3 个样品上进行 2 个互补的静态栓锁测试：

- 为每个电源引脚，提供超过极限的供电电压。
- 在每个输入、输出和可配置的 I/O 引脚上注入电流。

这个测试符合 EIA/JESD78A 集成电路栓锁标准。

符号	参数	条件	类型
LU	Static latch-up class	TA = +25 °C conforming to JESD78A	Class I Leve

### 5.3-11 I/O Port 特性

#### 5.3-11.1 Output 特性 — Port PA,PB,PC,PD

符号	参数	条件	最小值	最大值	单位
$V_{OH}$	High level output voltage Source Current	Sourcing 4 mA, VDD = 3.3 V (see Note 1)	VDD-0.2		V
		Sourcing 6 mA, VDD = 3.3 V (see Note 2)	VDD-0.3		
$V_{OL}$	Low level output voltage Sink Current	Sinking 4 mA, VDD = 3.3 V (see Note 1)		VSS+0.2	V
		Sinking 6 mA, VDD = 3.3 V (see Note 2)		VSS+0.3	
$V_{OHD}$	High level output voltage Double Source Current	Sourcing 8 mA, VDD = 3.3 V (see Note 1)	VDD-0.2		V
		Sourcing 12 mA, VDD = 3.3 V (see Note 2)	VDD-0.3		
$V_{OLD}$	Low level output voltage Double Sink Current	Sinking 8 mA, VDD = 3.3 V (see Note 1)		VSS+0.2	V
		Sinking 12 mA, VDD = 3.3 V (see Note 2)		VSS+0.3	

Note:

1. The maximum total current, IOH(max) and IOL(max), for all outputs combined, should not exceed 40 mA to satisfy the maximum specified voltage drop.
2. The maximum total current, IOH(max) and IOL(max), for all outputs combined, should not exceed 100 mA to satisfy the maximum specified voltage drop.
3. 由综合评估得出，不在生产中测试。

**5.3-11.2 Input 特性 — Port PA,PB,PC,PD**

符号	参数	条件	最小值	典型值	最大值	单位
$V_{IT+}$	Positive-going input threshold voltage	VDD=2.5	1.4			V
		VDD=3.3	1.8			V
		VDD=5.5	3			V
$V_{IT-}$	Negative-going input threshold voltage	VDD=2.5			0.9	V
		VDD=3.3			1.3	V
		VDD=5.5			2.4	V
$V_{hys}$	Input voltage hysteresis ( $V_{IT+} - V_{IT-}$ )	VDD=2.5		0.5		V
		VDD=3.3		0.5		V
		VDD=5.5		0.6		V
$R_{pullhigh}$	Pullup Resistor	Pullup enable	40	60	70	Kohm
$R_{pulldown}$	Pulldown Resistor	Pulldown enable	60	80	100	Kohm
$C_{input}$	Input Capacitance			5		pf

注：由综合评估得出，不在生产中测试。

**5.3-11.3 Port Leakage 特性 — Port PA,PB,PC,PD**

符号	参数	条件	最小值	最大值	单位
$I_{lkg}$	Leakage current	See Note 1, 2	2.5V / 3.6V	±50	nA

Notes:

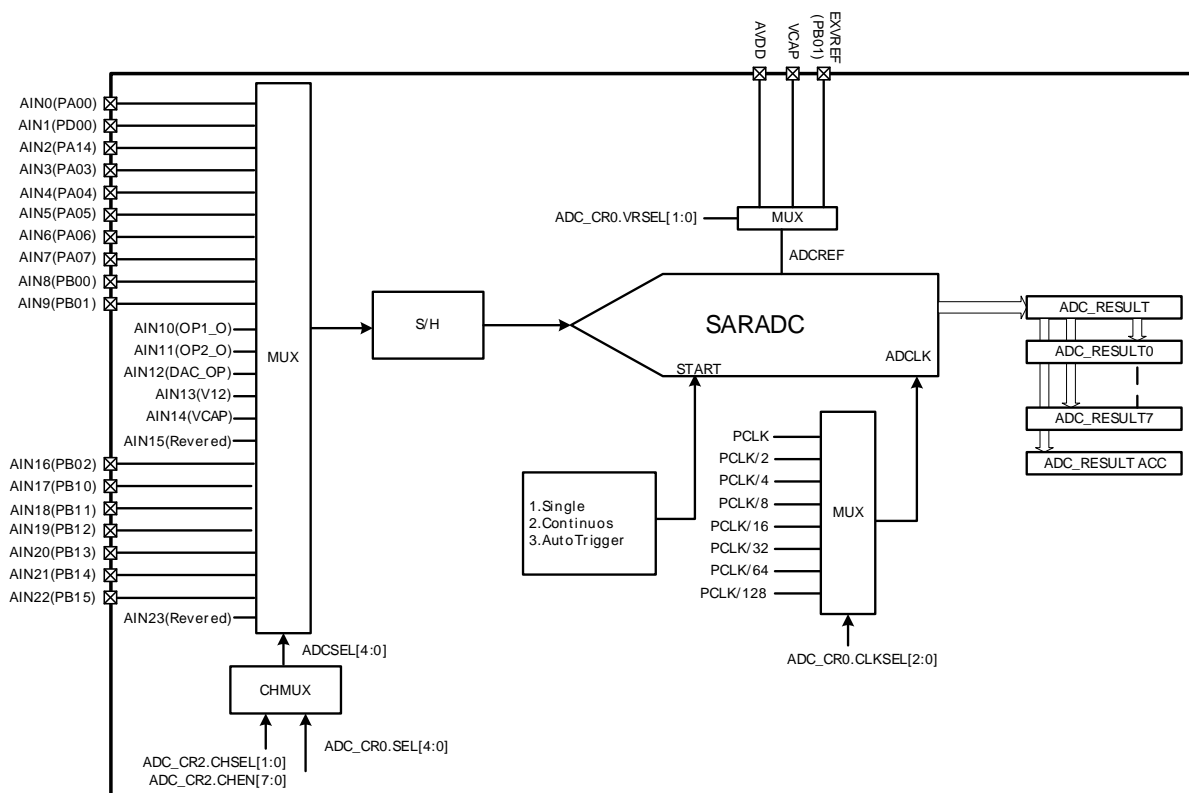
- The leakage current is measured with VSS or VDD applied to the corresponding pin(s), unless otherwise noted.
- The port pin must be selected as input.
- 由综合评估得出，不在生产中测试。

**5.3-11.4 Port 外部输入采样要求 — Timer Gate/Timer Clock**

符号	参数	条件	最小值	最大值	单位
$T_{(int)}$	External interrupt timing	External trigger signal for the interrupt flag (see Note 1)	30		ns
$T_{(cap)}$	Timer Captuter timing	TIM1/TIM2 capture pulse width $F_{systme} = 4\text{MHz}$	0.5		$\mu\text{s}$
$f_{EXT}$	Timer clock frequency applied to pin	TIM1, TIM2, TIM10, TIM11 external clock input $F_{systme} = 4\text{MHz}$	0	$f_{TIMxCLK}/4$	MHz
$T_{(PCA)}$	PCA clock frequency applied to pin	PCA external clock input $F_{systme} = 4\text{MHz}$	0	$f_{PCACLK}/4$	MHz

Note:

1. The external signal sets the interrupt flag every time the minimum  $t_{(int)}$  parameters are met. It may be set even with trigger signals shorter than  $t_{(int)}$ .
2. 由综合评估得出，不在生产中测试。

**5.3-12 ADC 特性**


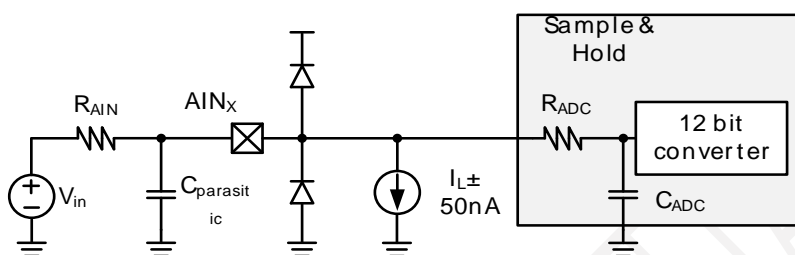
符号	参数	条件	最小值	典型值	最大值	单位
$V_{ADCIN}$	Input voltage range	Single ended	0		VDD	V
$V_{REF}$	ADC reference Voltage			VDD		V
$I_{ADC}$			0.7	0.9	1.2	mA
$C_{ADC}$	ADC input capacitance			16	18.4	pF
$R_{ADC}$	ADC Sampling switch impedance			0.6		k $\Omega$
$F_{ADCCLK}$	ADC clock Frequency		0.5	4	16	MHz
$T_{ADCSTART}$	Startup time of ADC bias current		2	3	4	$\mu$ s
$T_{ADCCONV}$	Conversion time			16	20	cycles
ENOB			9.5	10	10.4	Bit
DNL	Differential non-linearity	Calibrated VREF=5V	-1	$\pm 1$	2	LSB
INL	Integral non-linearity		-3	$\pm 1$	3	LSB
	Integral non-linearity		-6	$\pm 1$	$\pm 1$	LSB
$E_o$	Offset error			0		LSB
$E_g$	Gain error		-11	0		LSB

注：由设计保证，不在生产中测试

注：校准后量测范围为未校准的 offset~gain error 之间

### 5.3-12.1 ADC 输入阻抗

ADC 典型应用图请参考如图(A).



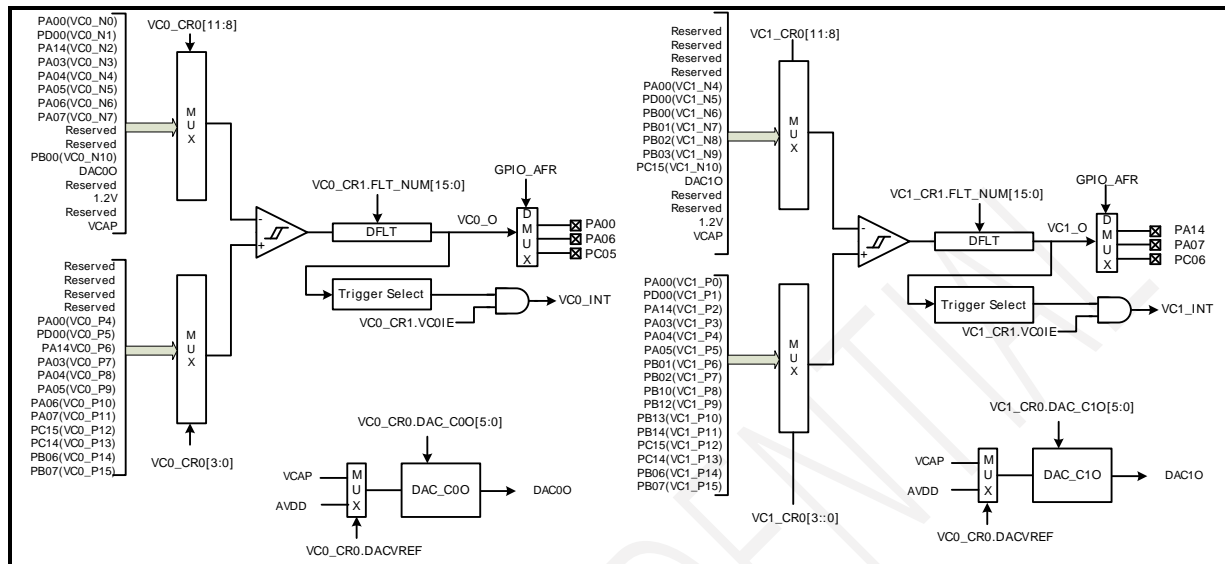
图(A).ADC 典型应用图

1.  $C_{parasitic}$  为 PCB 上的电容，其电容值大小取决于 PCB 线路配置(大约 7pF)。若电容值过大将会降低 ADC 精准度，或需降低 ADC clock 频率来维持 ADC 精准度。
2. 表(B)中最大  $R_{AIN}$  值为参考 ADC 规格表中  $C_{ADC}$  与  $R_{ADC}$  和图 A 所得。

表(B).  $R_{AIN}$  对应  $f_{ADCCLK}$

$t_s(\mu s)$	$f_{ADCCLK}(Hz)$	$SAM$	$R_{AIN}(k\Omega)$
0.167	24M	4	0.05
0.333	12M	4	0.5
0.667	6M	4	2.0
2.67	3M	8	10
5.33	1.5M	8	20
10.7	0.75M	8	40
21.3	0.375M	8	50

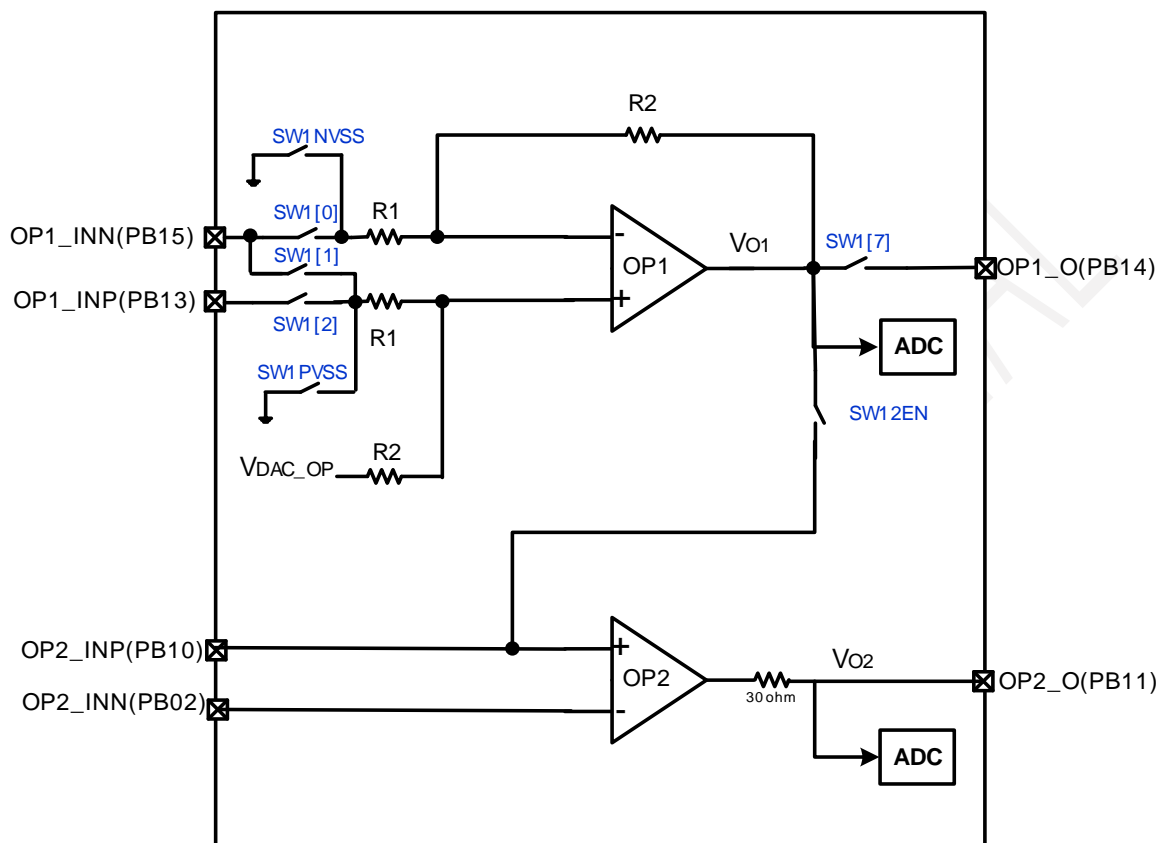
### 5.3-13 VC 特性



符号	参数	条件	最小值	典型值	最大值	单位
$V_{in}$	Input voltage range		0		5.5	V
$V_{incom}$	Input common mode range		0		5.5	V
$V_{offset}$	Input offset	@25°C	-8.7	±5	16.4	mV
$I_{comp}$	Comparator's current		7.66	9.36	11.26	μA
$T_{response}$	Comparator's response		106ns	155.5ns	220.8ns	ns

注：数据基于考核结果，不在生产中测试

### 5.3-14 OPA 特性



$$V_{OP1\_O} = V_{DAC\_OP} + (V_{OP1\_INP} - V_{OP1\_INN}) * GAIN \quad GAIN = R2/R1 = 16$$

$$V_{OP2\_O} = \text{User Define.}$$

**OPA1: (AVDD=2.5V~5.5 V, AVSS=0 V, Ta=- 40°C ~ +85°C)**

符号	参数	条件	最小值	典型值	最大值	单位
V <sub>DDA</sub>	Analog supply voltage		2.5		5.5	V
V <sub>CM</sub>	Common mode input range	Except differential mode	0.1		V <sub>DDA</sub> -0.1	V
		Differential mode	-0.2		V <sub>DDA</sub>	V
V <sub>io</sub>	Input offset voltage (follower mode)	OPA1 0.2<V <sub>CM</sub> <V <sub>DDA</sub> -0.2	-5		5	mV
		OPA2 0.2<V <sub>CM</sub> <V <sub>DDA</sub> -0.2	-5		5	mV
ΔV <sub>io</sub>	Input offset voltage drift	OPA1 -40~85°C 0.2<V <sub>CM</sub> <V <sub>DDA</sub> -0.2	-16		24	μV/°C
ΔV <sub>io</sub>	Input offset voltage drift	OPA2 -40~85°C 0.2<V <sub>CM</sub> <V <sub>DDA</sub> -0.2	-18.18		30.3	μV/°C
I <sub>LOAD</sub>	Drive current				50	μA
I <sub>OP</sub>	Operating current	V <sub>DDA</sub> =5V	0.86	0.88	0.89	mA
CMRR	Common mode rejection ratio	0.2<V <sub>CM</sub> <V <sub>DDA</sub> -0.2 25°C	59.28			dB
		0.2<V <sub>CM</sub> <V <sub>DDA</sub> -0.2 -40~85°C	57.69			dB
		0.5<V <sub>CM</sub> <V <sub>DDA</sub> -0.5 25°C	58.06			dB
		0.5<V <sub>CM</sub> <V <sub>DDA</sub> -0.5 -40~85°C	56.48			dB
PSRR	Power supply rejection ratio	0.2<V <sub>CM</sub> <V <sub>DDA</sub> -0.2	59.44			dB
SR	Slew rate (from 10 and 90% of output voltage, OPA2)	V <sub>DDA</sub> =5V	6.45	26	32.8	V/μS
		V <sub>DDA</sub> =3.3V	10.5	20	25.14	
R <sub>in</sub>	Input Resistive (Differential gain)			20		kΩ
R <sub>LOAD</sub>	Resistive load		100			kΩ
C <sub>LOAD</sub>	Capacitive load				40	pF
VOH <sub>SAT</sub>	High saturation voltage	R <sub>LOAD</sub> =Min. Input at V <sub>DDA</sub>	V <sub>DDA</sub> -0.1			V
VOL <sub>SAT</sub>	Low saturation voltage	R <sub>LOAD</sub> =Min. Input at 0V			0.1	V

符号	参数	条件	最小值	典型值	最大值	单位
PGA gain (OP1)	Unit gain	Gain=1	0.99	1	1.01	
	Non-inverting gain	Gain=17	16.65		16.8	
	Inverting gain	Gain=-16	-15.75		-15.79	
	Differential gain ( $V_{DAC\_OP}=1/2V_{DD}$ )	Gain=16 @25°C	15.4	16	16.32	
	PGA gain error	Gain=16	-5%		+5%	
PGA BW (OP1)	PGA bandwidth (Unit gain)	Gain=1 $R_{LOAD}=100\text{ k}\Omega$ $C_{LOAD}=40\text{pF}@25^\circ\text{C}$		700		KHz
	PGA bandwidth (Non-inverting gain)	Gain=17 $R_{LOAD}=100\text{ k}\Omega$ $C_{LOAD}=40\text{pF}@25^\circ\text{C}$		1000		
	PGA bandwidth (Inverting gain)	Gain=-16 $R_{LOAD}=100\text{ k}\Omega$ $C_{LOAD}=40\text{pF}@25^\circ\text{C}$		1000		
	PGA bandwidth (Differential gain)	Gain=16 $R_{LOAD}=100\text{ k}\Omega$ $C_{LOAD}=40\text{pF}@25^\circ\text{C}$		1000		
PGA BW (OP1) R1=10K R2=160K C <sub>C</sub> =20P	PGA bandwidth (Unit gain)	Gain=1 $R_{LOAD}=100\text{ k}\Omega$ $C_{LOAD}=40\text{pF}@25^\circ\text{C}$		800		
	PGA bandwidth (Non-inverting gain)	Gain=17 $R_{LOAD}=100\text{ k}\Omega$ $C_{LOAD}=40\text{pF}@25^\circ\text{C}$		50		
	PGA bandwidth (Inverting gain)	Gain=-16 $R_{LOAD}=100\text{ k}\Omega$ $C_{LOAD}=40\text{pF}@25^\circ\text{C}$		50		
	PGA bandwidth (Differential gain)	Gain=16 $R_{LOAD}=100\text{ k}\Omega$ $C_{LOAD}=40\text{pF}@25^\circ\text{C}$		50		

Note: GPA 配置请参考 user manual

## OP\_DAC2 特性

符号	参数	条件	最小值	典型值	最大值	单位
$V_{REF}$	Reference Voltage	$V_{REF} = VDD$	2.5		5.5	V
		$V_{REF} = VCAP$		VCAP		
$VOH_{SAT}$	High saturation voltage	$V_{REF} = VDD$			$VDD-1$	V
DNL		$V_{REF} = VDD$	-0.1		0.1	LSB
		$V_{REF} = VCAP$	-0.2		0.2	
INL		$V_{REF} = VDD$	-0.5		0.5	LSB
		$V_{REF} = VCAP$	-0.6		0.6	
Offset Error		$V_{REF} = VDD$	0.1		0.2	LSB
		$V_{REF} = VCAP$	0.1		0.3	
Gain Error		$V_{REF} = VDD$		-10		%FSR
		$V_{REF} = VCAP$		-1		

**5.3-15 TIM 定时器特性**

符号	参数	条件	最小值	最大值	单位
$T_{(int)}$	External interrupt timing	External trigger signal for the interrupt flag(see Note 1)	1120		ns
$T_{(cap)}$	Timer Captuter timing	TIM1/TIM2 capture pulse width $F_{systeme} = 4MHz$	30		$\mu s$
$f_{EXT}$	Timer clock frequency applied to pin	TIM1, TIM2, TIM10, TIM11 external clock input $F_{systeme} = 4MHz$	0	$F_{TIMxCLK}/20$	MHz
$T_{(PCA)}$	PCA clock frequency applied to pin	PCA external clock input $F_{systeme} = 4MHz$	0	$F_{PCACLK}/20$	MHz

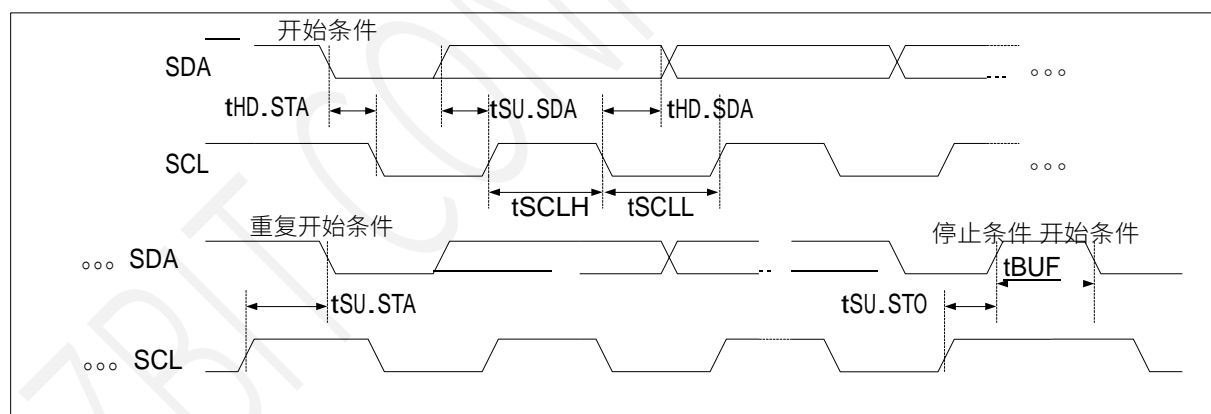
Note:

1. The external signal sets the interrupt flag every time the minimum  $t(int)$  parameters are met. It may be set even with trigger signals shorter than  $t(int)$ .
2. 由综合评估得出，不在生产中测试。

### 5.3-16 通信接口

#### 5.3-16.1 I2C 特性

符号	参数	标准模式(100K)		快速模式(400K)		高速模式(1M)		单位
		最小值	最大值	最小值	最大值	最小值	最大值	
tSCLL	SCL 时钟低时间	4.95		1.15		0.495		us
tSCLH	SCL 时钟高时间	4.95		1.15		0.495		us
tSU.SDA	SDA 建立时间	5		5		5		ns
tHD.SDA	SDA 保持时间	5		5		5		ns
tHD.STA	开始条件保持时间	3*pclock		3*pclock		3*pclock		us
tSU.STA	重复的开始条件建立时间	12*pclock		12*pclock		2*pclock		us
tSU.STO	停止条件建立时间	2*pclock		2*pclock		2*pclock		us
tBUF	总线空闲 (停止条件至开始条件)	14*pclock		14*pclock		4*pclock		us



**Figure 7 I2C 时序图**

**5.3-16.2 SPI 特性**

符号	参数	条件	最小值	最大值	单位
$t_{C(SCK)}$	串行时钟的周期(频率)	主机模式	$2 \cdot pclk$		ns
		从机模式	$4 \cdot pclk$		ns
$t_{W(SCKH)}$	串行时钟的高电平时间	主机模式	$1 \cdot pclk$		ns
		从机模式	$2 \cdot pclk$		ns
$t_{W(SCKL)}$	串行时钟的低电平时间	主机模式	$1 \cdot pclk$		ns
		从机模式	$2 \cdot pclk$		ns
$t_{SU(SSN)}$	从机选择的建立时间	从机模式	$3 \cdot pclk$		ns
$t_{H(SSN)}$	从机选择的保持时间	从机模式	$3 \cdot pclk$		ns
$t_{V(MO)}$	主机数据输出的生效时间			5	ns
$t_{H(MO)}$	主机数据输出的保持时间		0		ns
$t_{V(SO)}$	从机数据输出的生效时间			$30 + 1.5 \cdot pclk$	ns
$t_{H(SO)}$	从机数据输出的保持时间		$0.5 \cdot pclk$		ns
$t_{SU(MI)}$	主机数据输入的建立时间 Data input setup time		30		ns
$t_{H(MI)}$	主机数据输入的保持时间 Data input hold time		0		ns
$t_{SU(SI)}$	从机数据输入的建立时间 Data input setup time		0		ns
$t_{H(SI)}$	从机数据输入的保持时间 Data input hold time		$10 + 1.5 \cdot pclk$		ns

Note : 由设计保证, 不在生产中测试

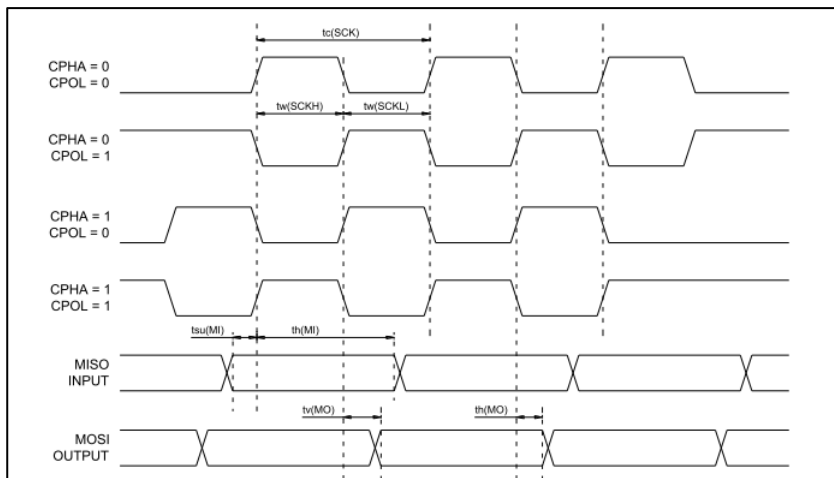


Figure 8 SPI 时序图（主机模式）

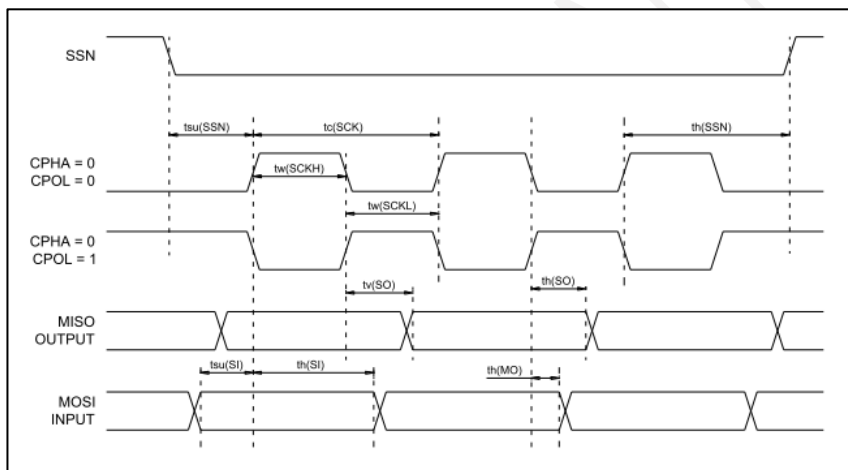


Figure 9 SPI 时序图（从机模式 CPHA=0）

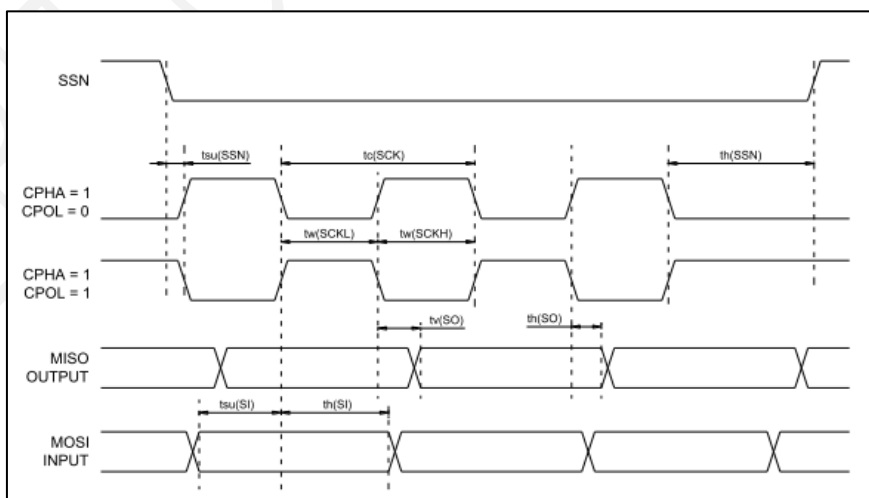
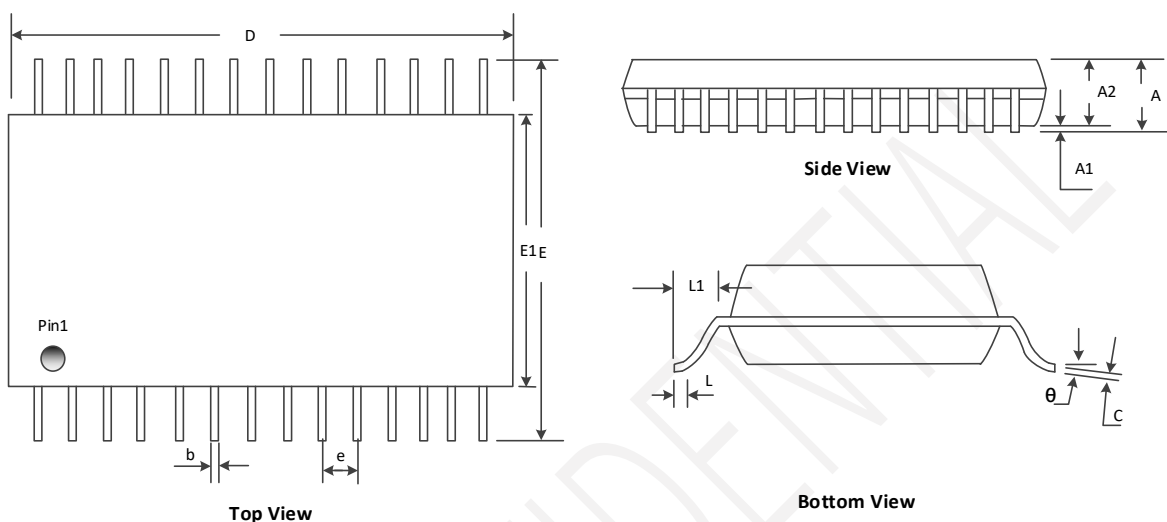


Figure 10 SPI 时序图（从机模式 CPHA=1）

## 【6】 封装特性

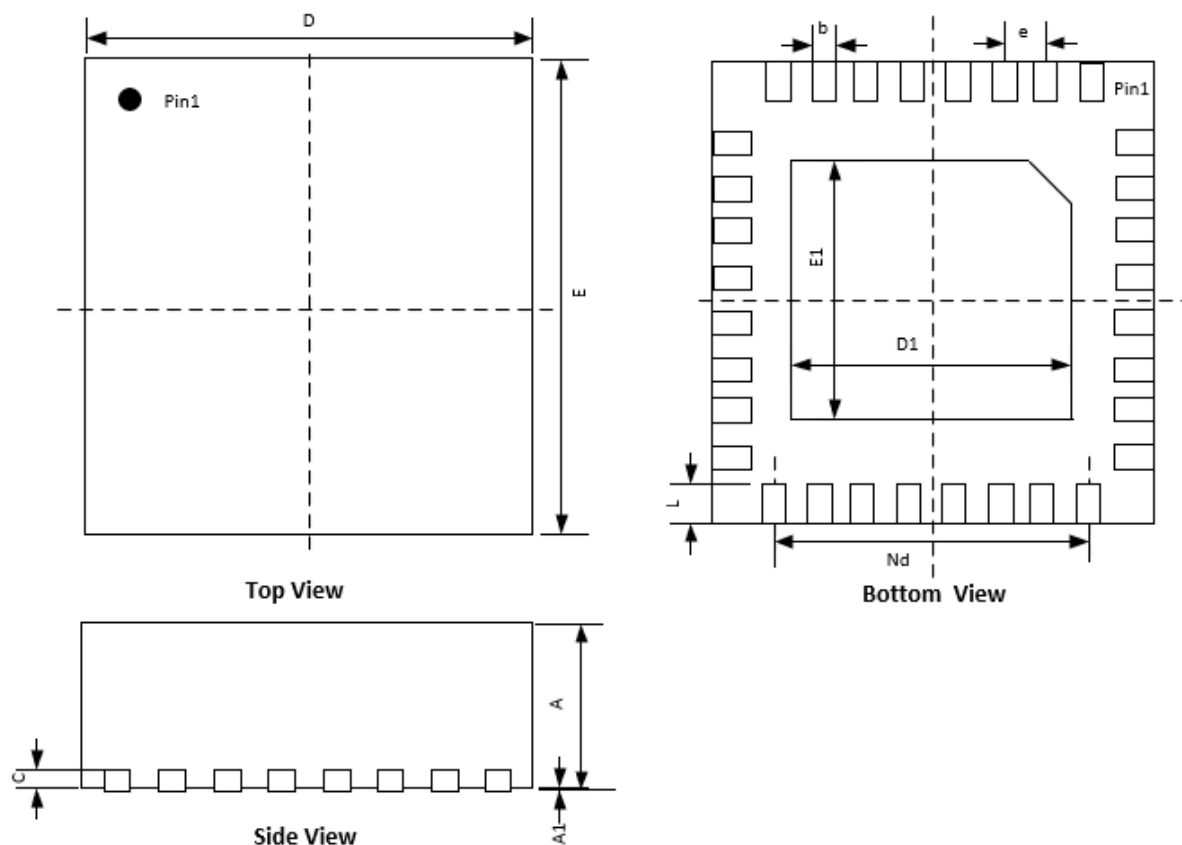
### 6.1 TSSOP28 封装



#### Dimensions

SYMBOL	MILIMETERS			INCHES		
	MIN	TYP	MAX	MIN	TYP	MAX
A	--	--	1.20	--	--	0.047
A1	0.05	--	0.15	0.002	--	0.006
A2	0.80	1.00	1.05	0.031	0.039	0.041
A3	0.39	0.44	0.49	0.015	0.017	0.019
b	0.18	--	0.30	0.007	--	0.012
c	0.14	--	0.18	0.006	--	0.007
D	9.60	9.70	9.80	0.378	0.382	0.386
E1	4.30	4.40	4.50	0.169	0.173	0.177
E	6.20	6.40	6.60	0.244	0.252	0.260
e	0.65BSC			0.026BSC		
L	0.45	--	0.75	0.018	--	0.030
L1	1.00REF			0.039REF		
$\theta$	0	--	8°	0.000	--	8°

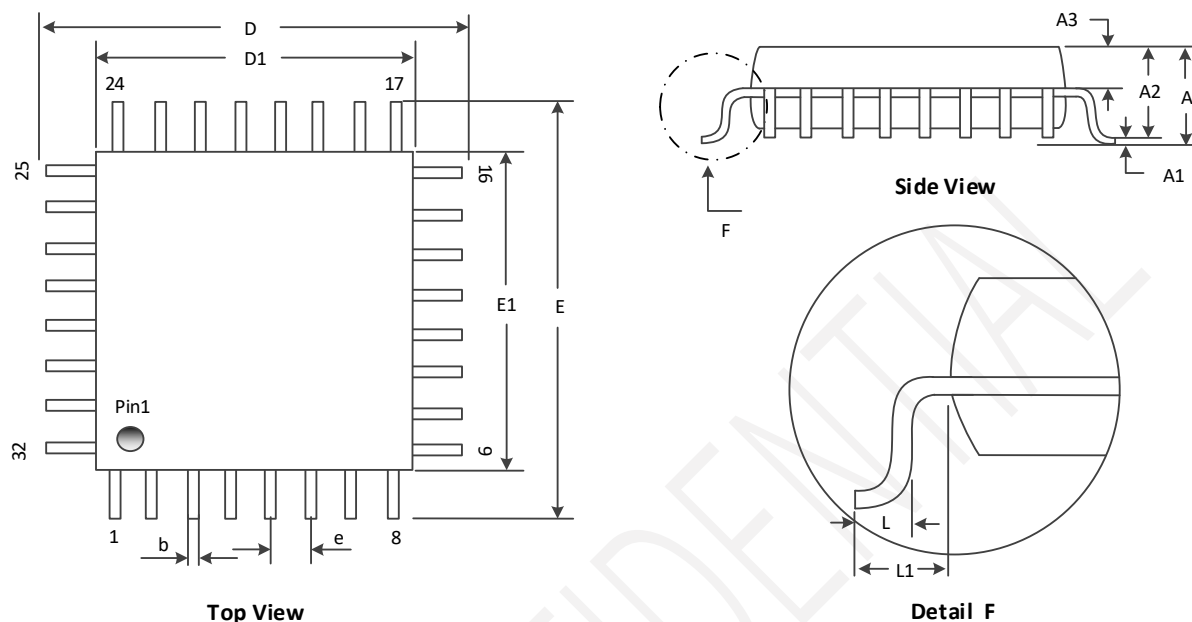
## 6.2 QFN32 封装



### Dimensions

SYMBOL	MILIMETERS			INCHES		
	MIN	TYP	MAX	MIN	TYP	MAX
A	0.70	0.75	0.80	0.028	0.030	0.031
A1	0	0.02	0.05	0	0.001	0.002
b	0.18	0.25	0.30	0.007	0.010	0.012
c	0.18	0.20	0.25	0.007	0.008	0.010
D	4.90	5.00	5.10	0.193	0.197	0.201
D1	3.25	3.5	3.75	0.140	0.144	0.148
e	0.50REF			0.02REF		
Nd	3.50REF			0.138REF		
E	4.90	5.00	5.10	0.193	0.197	0.201
E1	3.25	3.65	3.75	0.140	0.144	0.148
L	0.30	0.38	0.45	0.012	0.015	0.018

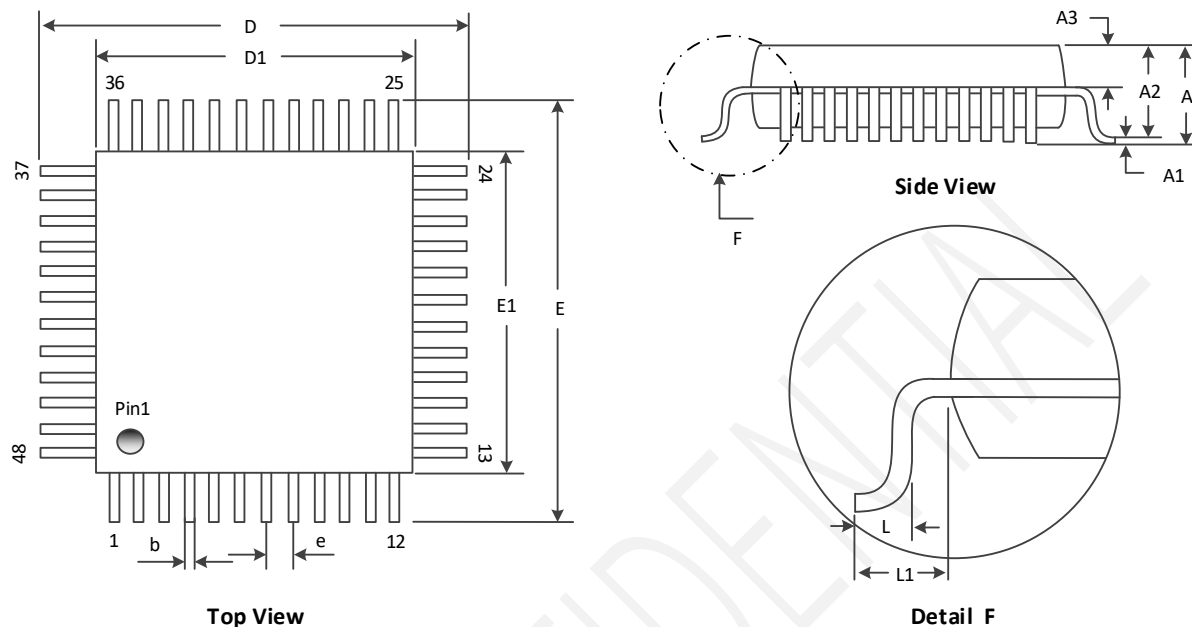
### 6.3 LQFP32 封装



#### Dimensions

SYMBOL	MILIMETERS			INCHES		
	MIN	TYP	MAX	MIN	TYP	MAX
A	---	---	1.60	---	---	0.063
A1	0.05	---	0.15	0.002	---	0.006
A2	1.35	1.40	1.45	0.053	0.055	0.057
A3	0.59	0.64	0.69	0.023	0.025	0.027
b	0.31	---	0.43	0.012	---	0.017
D	8.80	9.00	9.20	0.346	0.354	0.362
D1	6.90	7.00	7.10	0.272	0.276	0.280
E	8.80	9.00	9.20	0.346	0.354	0.362
E1	6.90	7.00	7.10	0.272	0.276	0.280
e	0.80 BSC			0.0315 BSC		
L	0.45	---	0.75	0.018	---	0.030
L1	1.00 REF			0.039 REF		
θ	0.00	---	7°	0	---	7°

## 6.4 LQFP48 封装



### Dimensions

SYMBOL	MILIMETERS			INCHES		
	MIN	TYP	MAX	MIN	TYP	MAX
A	—	—	1.60	—	—	0.063
A1	0.05	—	0.15	0.002	—	0.006
A2	1.35	1.40	1.45	0.053	0.055	0.057
A3	0.59	0.64	0.69	0.023	0.025	0.027
b	0.17	—	0.27	0.007	—	0.011
D	8.80	9.00	9.20	0.346	0.354	0.362
D1	6.90	7.00	7.10	0.272	0.276	0.280
E	8.80	9.00	9.20	0.346	0.354	0.362
E1	6.90	7.00	7.10	0.272	0.276	0.280
e	0.50 BSC			0.020 BSC		
L	0.45	—	0.75	0.018	—	0.030
L1	1.00 REF			0.039 REF		
θ	0.00	—	7°	0	—	7°

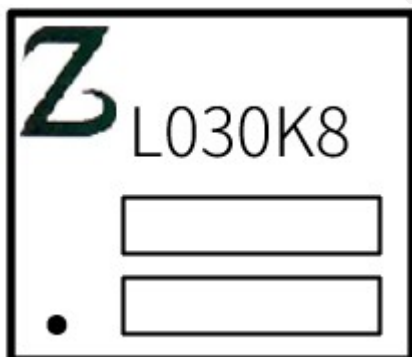
## 6.5 丝印说明

### 6.5-1 TSSOP28



1. 第一行：商标+产品型号前 10 位，具体参考第 7 章型号命名。
2. 第二行：Lot ID。
3. 第三行：生产的年和周。

### 6.5-2 QFN32



1. 第一行：商标+产品型号 5~10 位，具体参考第 7 章型号命名。
2. 第二行：Lot ID。
3. 第三行：生产的年和周。

### 6.5-3 LQFP32



1. 第一行：商标+产品型号前 5 位。
2. 第二行：产品型号 6~12 位，具体参考第 7 章型号命名
3. 第三行：Lot ID。
4. 第四行：生产的年和周。

### 6.5-4 LQFP48



1. 第一行：商标+产品型号前 5 位。
2. 第二行：产品型号 6~12 位，具体参考第 7 章型号命名
3. 第三行：Lot ID。
4. 第四行：生产的年和周。

## 【7】 型号命名

ZB32 L 0 30 C 8 T 6

### 产品系列

ZB32= 基于ARM®Cortex的32位微控制器

### 产品类型

L= 低功耗

### MCU类型

0= M0+

### 产品子系列

30=基本型

### 引脚数

G=28 PIN

K=32 PIN

C=48 PIN

### Flash 容量

6=32KB

8=64KB

### 封装形态

P=TSSOP

Q=QFN

T=LQFP

### 环境温度

6 = -40~85°C

**【8】 产品选型表**

型号	Flash (KB)	SRAM (KB)	封装	包装	最小包装 (MPQ)	最小起订量 (MOQ)
ZB32L030G8P6T	64	8	TSSOP28	Tape & Reel	9000	72000
ZB32L030K8Q6T	64	8	QFN32	Tape & Reel	3000	15000
ZB32L030K8T6R	64	8	LQFP32	Tray	2500	15000
ZB32L030C8T6R	64	8	LQFP48	Tray	2500	15000

## 【9】 版本修订纪录

Version	Date.	Description
R2.0	2021-0806	Release datasheet
R2.1	2022-0301	Modified: (1)Table4,5 (2)Add SPI 时序图
R2.2	2022-0427	Updated: (1) <u>Block Diagram</u>
R2.3	2022-0601	Modified: (1)电气特性量测值
R2.5	2022-0817	Modified: (1)电气特性参数值与内容 (2)Updated <u>5.3-7</u> (3)Updated <u>[4]</u> (4)Updated <u>[7]</u>
R2.6	2022-0913	Modified: (1) 参数与内容修正
R2.7	2022-1020	Modified: 增加封装Type
R2.8	2022-1101	Modified: (1) 修改 32PIN assignment. (2) 修正ADC电气特性
R2.8.1	2023-0303	Modified: 补充LVD电气特性
R2.8.2	2023-0327	Modified: 参数和排版修正
R2.8.3	2023-0711	Modified: I2C & SPI 特性数据调整
R2.8.4	2023-0921	Modified: 产品选型表更新

R2.8.5	2023-11-28	Modified: ESD特性参数修正
R2.8.6	2024-05-07	Modified: (1) “产品特性” 数据修正。 (2) “2.1 设备描述” 数据修正。

ZBIT CONFIDENTIAL